

放射線工学部会セッション

放射線計測と多チャンネル・高速処理システム

Recent Developments of Fast and Multi Channel DAQ System for Radiation Measurement Study

(2) LiTA システム開発と FPGA 活用

(2) Development of LiTA system and Utilization of FPGA

*佐藤 節夫¹¹高エネルギー加速器研究機構

1. はじめに

現在、簡便に使用できる高計数率で位置分解能が良い検出器がほとんどない。そこで、これらの要求を満たし、原理が簡単で確実に動作するピクセル検出器を開発した。検出器には、 16×16 のマルチアノード型光電子増倍管 (MA-PMT) を使用したため、256 ピクセルの信号を処理する。ピクセルごとに高速処理する高計数率モードと、ピクセル間の重心計算をする高位置分解能モードを持つ。全ピクセルに高速アナログデジタル変換回路 (ADC) を付け、波形処理で信号強度を求めた。256 個の ADC を VME 規格のダブルハイト (約 23cm) 1 枚幅 (2cm) サイズの 4 モジュールに収めた。高速処理やピクセル間比較のために、最新のゲートアレイ (FPGA) を活用している。LiTA システムの構成と性能を説明し、FPGA での処理の概要を報告したい。

2. LiTA システム

2-1. 基本構成及び FPGA の活用

中性子実験で一番よく使用されているのは ^3He ガス検出器で、高い検出効率であり、 γ 線をほとんど感じない。また、封じ切りで何十年もほとんど変化なく使用できる。反面、ガス管であるために位置分解能は 8mm ぐらいが限界であり、計数率も 10kcps (count per second) 程度が限界である。LiTA システムはこれらの限界を超えるために開発した。 ^3He 検出器の 40% 程度の検出効率で、3mm の位置分解能で、50Mcps の計数率に耐えられる。

LiTA システムは、中性子とシンチレータの反応光を、 16×16 配列の MA-PMT を使用して検出する。3.04mm 間隔の配置なので、49mm 角の受光面となる。256 ピクセルの信号をアンプで増幅し、高速 ADC でデジタル化し、FPGA で中性子を判別して制御 PC にネットワークで送り出す。256 ピクセル分の高速 ADC を 4 枚の VME 規格モジュールに持つ。各 ADC は 40MHz-12bit でピクセル信号をサンプリングし、波形処理でパルスを判別し、波高値を求める。その後の処理で高計数率モードと高位置分解能モードに分かれる。

ADC は高密度化のために 8 入力型を使用し、LVS 信号でシリアル出力する。40MHz-10bit なので、400MHz で受信する。この信号を 1 個の FPGA で 32 ピクセル分受信するので、FPGA の性能を最大限に引き出す必要がある。400MHz のクロック周波数を 1/2 の 200MHz に下げるために DDR で送られてくるので、FPGA の DDR 機能を活用している。ADC を FPGA の近くに配置し、なるべくクロスせずに最短になるピンを選んで配線している。また、1 個の ADC-IC の 8 入力信号が FPGA の単一の内部ブロックに収まるように配置したり、時間制約を掛けたりして、FPGA の仕様・特性を考慮した設計にしている。

2-2. 高計数率モード

高速 ADC で得られた波高値から、単純にヒストグラムに分類蓄積していく。位置分解能は実ピクセルサイズの 3mm となるが、計数率は 50Mcps になる。中性子シンチレータに使用している ^6Li は反応光の残光時間が 100~200ns 程度なので、200ns のパルス幅と仮定して 10% 損失 (パルスの重なり) に抑えると、平均

で2usに1パルスまで許容される。1ピクセルあたり0.5Mcps程度なので、256ピクセルに平均に分散されるとすると、125Mcps程度まで測定できることがわかる。

この高速にデータを処理するために、ピクセルごとに平均で2us内に1データが処理できればよいので、比較的容易である。ただし、2個の大容量外部メモリICに書き込むので、100Mcpsの測定をする場合、20nsにデータの更新（読出し、処理、書き込み）ができなくてはならない。平均で100Mcpsの処理は不可能であるが、通常の時間分析測定ではピーク負荷に耐えられれば良いので、先入先出（FIFO）メモリをFPGAの内部メモリで構成すれば、ピーク負荷が吸収できるので、可能である。

2-2. 高位置分解能モード

高計数率モードでは、シンチレータを互いのピクセル間でクロストークが起こらない程度に小さくする必要があり、高価な検出器になる。また、位置分解能がアノード間隔に制限されるので、3mmしか得られない。そこで、計数率を犠牲にして、切らないシンチレータを使用し、ピクセル間のクロストークを利用した重心計算で、アノード間隔より細かい位置分解能を得る、高位置分解能モードを開発した。8分割ができるようになり、0.4mmのピクセルサイズで計測できるようになった。シンチレータからの反応光を数ピクセルに広げるので、計数率は5Mcps程度が限界になる。

重心計算をFPGA内で行うのはほとんど不可能なので、中性子と思われるピクセルデータを検出することに専念し、実際の重心計算は制御PCで行う。具体的には、FPGAの並列処理を利用して256ピクセルを隣り合った4ピクセルまとまりに区分し、その区分ごとに信号があった場合に最大値を持つピクセルと周りの8ピクセルの波高値をイベントデータとして制御PCに送り出す。取り込みやすい配置で入力した信号をFPGA内で実際の隣同士に2次的に配置し直し、並列に比較していくアルゴリズムは煩雑であったが、高性能なFPGAのお蔭で達成できた。

3. まとめ

LiTAシステムの複雑で高速性能が要求される処理を、FPGAで実現できた。LiTAシステムの特長はFPGAのプログラミングにより作り出されているといえる。

ADCを高密度化するために、DDRでシリアルに出力される8入力ADCを使用した。1モジュールあたり400Mbps（bit per second）で256ピクセル分のDDR入力処理ができています。

高計数率モードでは、全体で50Mcpsの中性子データが処理できている。外部メモリの処理速度は追いつかないが、FPGA内に高速FIFOメモリを構成することでピーク負荷に耐えられる。

重心計算では、実空間での隣同士の比較が必要であるので、FPGAの設計の柔軟性を活用して、ハードウェアの変更を最小にし、プログラムで吸収できた。

*Setsuo Satoh¹

¹High Energy Accelerator Research Organization.