

三重実装が可能な光再構成型ゲートアレイ VLSI

Optically reconfigurable gate array VLSI with a triple modular redundancy structure

*吉永 透, 渡邊 実

静岡大学

現在、福島第一原子力発電所の廃炉作業のため、耐放射線デバイスの開発が進められている。高い放射線耐性を有するデバイスとして、我々は光再構成型ゲートアレイを開発している。この度、三重化実装をサポートできる光再構成型ゲートアレイ VLSI を開発したので、その開発結果について報告する。

キーワード：光再構成型ゲートアレイ，ソフトウェア耐性，三重化実装，FPGA

1. 緒言

光再構成型ゲートアレイ(ORGA: Optically Reconfigurable Gate Array)は、レーザーアレイ、ホログラフィックメモリ、光再構成型ゲートアレイ VLSI の3つの要素から構成され、光技術によって任意の回路を実装することができる。光再構成型ゲートアレイはソフトウェアへの対策として、VLSI 内部の構成メモリを定期的書き直すことで放射線による故障を回避するスクラビングの手法を用いている。今回はソフトウェア耐性をさらに高めるために、三重実装が可能な光再構成型ゲートアレイ VLSI を開発した。

2. 三重実装が可能な光再構成型ゲートアレイ VLSI

三重実装が可能な光再構成型ゲートアレイ VLSI は図1のように、ゲートアレイ VLSI が3層並んだ構造をとる。図2のように、各層のゲートアレイ内部に構成された論理ブロックには、任意の論理演算を行う LUT(Look-up table)が実装され、各 LUT の出力には、多数決回路がハードマクロとして実装されている。ゲートアレイの三重実装により、一つの層でソフトウェアが発生した場合でも、各層のゲートアレイの信号の多数決をとるため、ソフトウェアによる誤動作を回避して動作させることができる。このように、三重実装が可能な光再構成型ゲートアレイは高速なスクラビング[1]に加え、ゲートアレイ構造を三重化したことで、従来の耐放射線デバイスに比べ高いソフトウェア耐性が期待できる。

3. 試験結果

今回、三重実装が可能な光再構成型ゲートアレイ VLSI を用いてシミュレーションと回路実装を行った。ゲートアレイの多数決周期 20ns、放射線入射数 10 個/us の条件で 2bit 乗算器を動作させた結果、ソフトウェアによる回路の故障間隔として 312.5us が得られた。また、2bit 乗算器を VLSI 上に実装し、回路の再構成に成功した。

参考文献

[1] T.Fujimori, M.Watanabe, "High-speed scrubbing demonstration using an optically reconfigurable gate array," Optics Express, Vol.25, Issue 7, pp. 7807-7817, 2017.

*Toru Yoshinaga¹ and Minoru Watanabe¹,¹Shizuoka Univ.

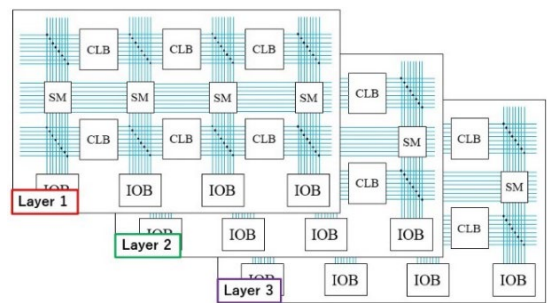


Fig. 1: ORGA-VLSI with a triple modular redundancy

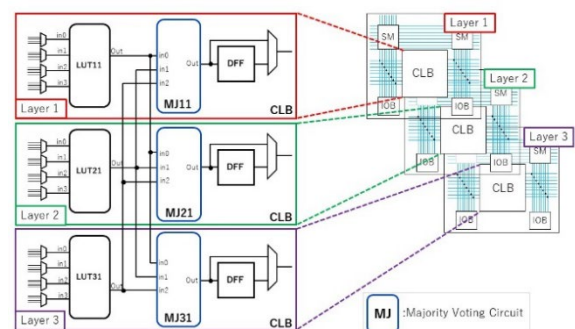


Fig. 2: Majority voting operation of the gate array