

レジストフリープロセスを用いたグラフェンデバイスの作製

Fabrication of graphene devices using resist-free process

阪大産研 [○]中村 仁俊, N. B. M. Zaifuddin 大野恭秀, 前橋兼三, 井上恒一, 松本和彦ISIR, Osaka Univ., [○]M. Nakamura, N. B. M. Zaifuddin, Y. Ohno, K. Maehashi, K. Inoue and

K. Matsumoto

Email: nakamura11@sanken.osaka-u.ac.jp

我々は、グラフェンをチャネルとした電界効果トランジスタ(FET)を作製し、タンパク質等の生体分子の検出を行ってきた。さらに、実用化に向けて、グラフェン FET をアレイ化し、種々の生体分子の検出が必要である。しかしながら、グラフェン上に電極パターンなどを形成のためにフォトレジスト等を使用する場合、グラフェン/電極界面等にレジストが残留し、デバイスの特性に影響を与える可能性がある。そこで本研究では、レジストがグラフェン表面、および、電極界面に残留しない新たなパターン作製方法を考案し、デバイスの電気特性の測定を行った。

まず、剥離法を用いて SiO₂/Si 基板上にグラフェンを貼り付けた。次に、試料全体を Ni 薄膜で覆い、その上からレジストを用いたパターニングを行うことによってグラフェンに電極パターンを作製した[Fig.1(a)]。この手法により、グラフェン表面とレジストの直接接触を防いだ状態でグラフェン FET を作製可能となる。比較として、通常のレジストを用いたプロセスを使ってグラフェン FET も作製した。

レジストフリープロセスで作製したデバイスのゲート特性を Fig.1(b)に示す。ソースドレイン電圧 0.1 V、Si 基板をバックゲートとして利用している。0 V 付近で電流値が最小となる両極性特性が得られており、レジストフリープロセスで作製したデバイスが FET として動作していることがわかる。さらに、グラフェンチャネルの長さを 3、7、10 μm と変化させ、それぞれのグラフェンと金属間の抵抗を含んだチャネル抵抗を Fig.2 に示す。比較のために、通常のレジストを用いたプロセスの場合も記載した。破線は各データ点を直線近似した結果を示しており、チャネル長=0 における直線の切片からグラフェンと金属間の抵抗を見積もることができる。その結果、レジストフリープロセスを用いたデバイスでは、コンタクト抵抗が減少していることがわかった。

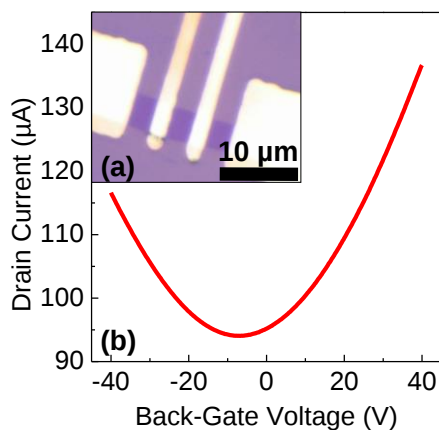


Fig.1. (a) Optical image of the device and (b) its I_d - V_g characteristic.

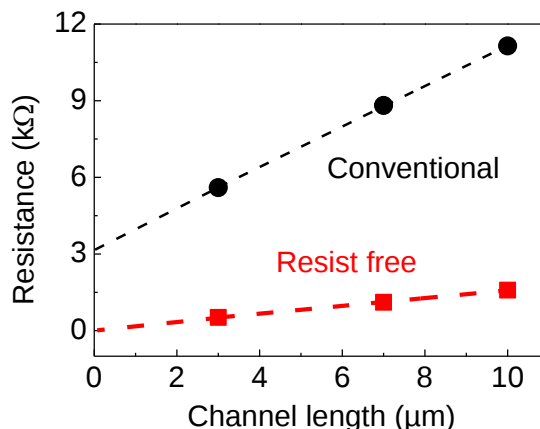


Fig. 2. Channel-length dependence of two-probe resistance.