

先端半導体メモリにおける洗浄技術の課題

Cleaning Technology for Advanced Semiconductor Memory

東芝セミコンダクター&ストレージ社 先端メモリ開発センター 小川 義宏

Advanced Memory Development Center, Semiconductor & Storage Products Company

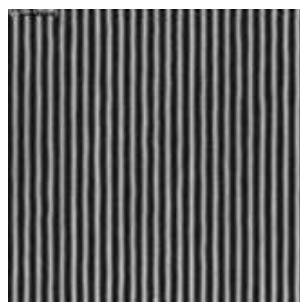
Toshiba Corporation

E-mail: yoshihiro2.ogawa@toshiba.co.jp

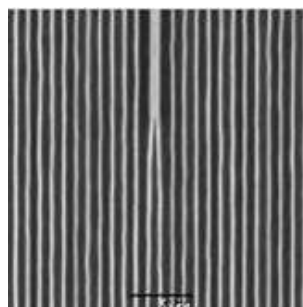
ダブルパターニングの採用により先端半導体メモリにおける微細化は、ITRSロードマップの予測を超えて進行中であり、既に1Xnm世代のデバイスの量産が始まっている。その結果、WETプロセスに対して脆弱な微細パターンを低ダメージで洗浄、乾燥することに対する要求が急速に高まってきた。また、寸法制御の重要性も増しており、WETエッチングプロセスの制御性に対する要求も一段と厳しさを増している。一方、先端メモリデバイスにおいてもHigh-k材料の採用や3次元構造（東芝BiCS等）の導入が提案されており、新材料、積層膜に対する洗浄、特にウエーハ裏面、ベベルのコンタミネーション制御が重要性を増してきている。本講演ではこれら先端半導体メモリ製造において直面しているWETプロセスの技術課題について詳説し、いくつかの解決策を提案する。

Table: DRAM and Flash ITRS Roadmap

Year of production	Version	2009	2010	2011	2012	2013	2014	2015	2016
DRAM 1/2 pitch (nm)(contacted)	ITRS2009	52	45	40	36	32	28	25	23
	ITRS2011	-	-	36	32	28	25	23	20
Flash 1/2 pitch (nm)(un-contacted poly)	ITRS2009	38	32	28	25	23	20	18	16
	ITRS2011	-	-	22	20	18	17	15	14
DRAM /Flash CD control (3 sigma)(nm)	ITRS2011	3.7	3.3	3.7	3.3	2.9	2.6	2.3	2.1



(a) Post-RIE before wet cleaning



(b) After wet cleaning

Figure: Pattern collapse in flash memory during drying

References

- [1] Y.Ogawa: Solid State Phenomena,195(2013)pp7-12
- [2] R.Katsumata et al.: VLSI Symposia(2009), pp136-137
- [3] Y.Ogawa et al.: ISSM(2007), proceeding,P576-579