17a-P15-7

縦型ノーマリオフ CVD ダイヤモンド FET における素子構造の適正化

Optimization of device structure suitable for normally-off-type CVD diamond FET with vertical current flow

阪大院工，　°見尾 和俊，毎田 修，伊藤 利道

Graduate School of Engineering, Osaka Univ.,　°Kazutoshi Mio, Osamu Maida, Toshimichi Ito

E-mail: k.mio@daiyan.eei.eng.osaka-u.ac.jp

1　背景と目的

ダイヤモンドは、高い絶縁破壊電界、高いキャリア移動度や高い熱伝導率等、他の半導体と比較し、非常に優れた特性を有するため、小型で冷却装置の不要な大電力動作が可能なデバイスへの応用が期待されている。具体的には、CVD ダイヤモンドを使用した、良好な ON/OFF 特性を持ち、大電流動作が可能となるような、ダイヤモンド膜の成長方向に電流が流れる素子構造の縦型ノーマリオフ FET の実現が望まれる。しかし、現状技術では、n 型領域や選択的高濃度領域の形成時の高品質性の担保など未解決の課題があるため、汎用のデバイス作製プロセスをそのままダイヤモンドデバイス作製に適用することは難しい。

そこで本研究では、少なくとも現状で有効なプロセスのみを用いて作製できるダイヤモンド素子構造を検討し、そのような素子を試作するため、典型的パワー素子として縦型ノーマリオフ FET を取上げ、デバイスシミュレーターを用いて、その素子構造および作製プロセスの適正化を図ることを目的とする。

2　実験

まず、上記素子構造の検討のために、SILVACO 社の ATLAS を用い、２次元的素子構造についてシミュレーションを行った。その際、①MWPCVD 法により作製可能であること、②キャリア走行領域には i 型もしくは p 型ダイヤモンドを用いること、③ゲート電圧依存性が良好であること、④高 ON/OFF 比であること、及び、⑤ECR 酸素プラズマによる選択的エッチング等マスクを必要とする加工プロセスは低温プロセスであること、を条件として、種々のパラメーターを適切に設定してシミュレーションを行い、得られた I-V 特性等の諸特性に基づき、適切な素子構造を検討した。

次に、適正化されたデバイス構造(Fig. 1(a))を実際に試作するため、HPHT Ib 基板上に MWPCVD 装置により必要な各ダイヤモンド層の成膜を行い、ECR 酸素プラズマによる選択的エッチングにより所望の構造を作製した。FET 素子の試作後、素子特性を測定した。

3　結果及び考察

シミュレーションにより、ボロンドープ層とアンドープ層のみで構成される構造では、横型素子構造の場合と同様に[1]、ゲート電圧(V_g) 0 V 時にも電流が大きく流れてしまうことが示された。そこで、窒素ドープ薄膜層を挿入すると、挿入層のポテンシャル障壁によりキャリアの拡散が抑制され[1]、Fig. 1(b) に示すように、シミュレーション上では、十分高い ON/OFF 比(V_{SD}=－200V)を有する、ノーマリオフ型で、かつ、良好な FET 特性が得られた。

このように適正化された構造の素子を提案プロセスにより試作し素子特性を計測したところ、V_g = 0 V での S-D 電流が十分抑制できず、期待されたノーマリオフ特性を示さなかった。しかし、V_g = 0 V の S-D 電流を差引くと、Fig. 2 のような差電流の S-D 電圧依存性が得られ、V_g 制御性を示した。V_g = 0 V 時の制御性や FET 特性の向上には、チャネル領域の改善が必要であり、現在、その対策を行っている。作製プロセスの詳細や改善した試作素子の特性については当日報告する。

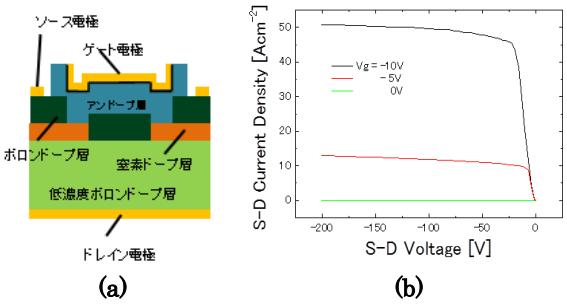

Fig. 1. (a) Schematic cross-sectional structure of a diamond FET optimized by means of device simulation, and (b) its typical S(Source) – D(Drain) current – voltage characteristics.

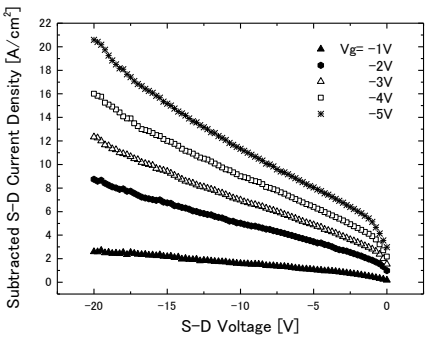

Fig. 2. Increases in S – D currents measured at different gate voltages (V_g) from that at V_g = 0 V for a trial FET device fabricated as a function of S – D voltage.

[1] T. Ukida, O. Maida, T. Ito: Intern. Symp. on Mater. Sci. and Innov. for Sustainable Soc., Osaka, Japan, Nov. 28-30, (2011).

© 2013 年　応用物理学会