

原子層堆積法を用いたカーボンナノチューブメモリの作製

Fabrication of carbon-nanotube memory by using atomic-layer deposition

阪大産研 ○清家康平, 大野恭秀, 前橋兼三, 井上恒一, 松本和彦

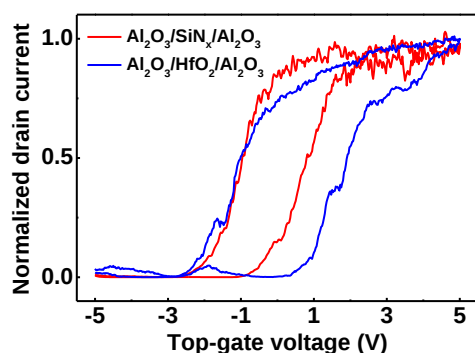
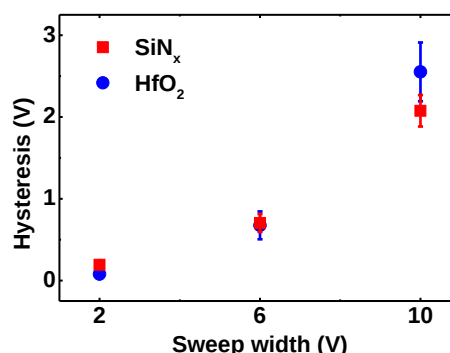
ISIR, Osaka Univ., ○K. Seike, Y. Ohno, K. Maehashi, K. Inoue and K. Matsumoto

E-mail: seike11@sanken.osaka-u.ac.jp

【はじめに】スマートフォンやタブレット端末への需要の増大から、現在、低消費電力で動作可能なフラッシュメモリの開発が求められている。本研究室では、より低電圧で動作するメモリを目指して、カーボンナノチューブ(CNT)をチャンネル材料として用いた不揮発性メモリデバイスの開発を行ってきた[1, 2]。本研究では、産業応用に向けて、カーボンナノチューブメモリの動作機構の詳細な解明、デバイス特性の均一さの向上等を目指す。今回は異なった積層構造を有するデバイスを作製、特性を比較することでメモリ動作機構を検討した。

【実験】熱 CVD 法によって成長させた CNT に Pd 電極を形成し CNT 電界効果トランジスタ(CNTFETs)を作製した。次に、原子層堆積法を用いて絶縁膜を三層堆積させ、最後に絶縁膜上にトップゲート電極を形成してメモリデバイスを完成した。

【結果】まず、電荷蓄積層とメモリ動作機構の関係について調べるため、 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ と $\text{Al}_2\text{O}_3/\text{SiN}_x/\text{Al}_2\text{O}_3$ という電荷蓄積層の異なる 2 つの三層構造デバイスを作製し、特性の比較を行った。作製したメモリデバイスにおいて、ドレイン電流(I_D)ートップゲート電圧(V_{TG})特性を測定した結果を Fig. 1 に示す。トップゲート電圧を -5~5 V にて掃引させたところ、両方のデバイスにおいて時計回りのヒステリシス特性が観測された。このヒステリシス幅の平均を複数のデバイスから測定し、掃引幅 -1~1 V、-3~3 V、-5~5 V で比較をおこなった。その結果、-5~5 V の掃引において、 SiN_x を使用したデバイスと比べると、 HfO_2 を用いたデバイスのヒステリシス幅が増加することが明らかになった(Fig. 2)。これは、バンド構造を考慮した場合、 HfO_2 は SiN_x よりも伝導帯下端のエネルギーが低く、より多くの電子が HfO_2 層に移動し蓄積されることに起因すると考えられる。

Fig. 1. I_D - V_{TG} characteristics of the CNT memory.Fig. 2. Hysteresis of $\text{Al}_2\text{O}_3/\text{SiN}_x/\text{Al}_2\text{O}_3$ and $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ memory structures.[1] Y.Fujii, *et al.*, Jpn. J. Appl. Phys. 51 (2012) 06FD11.

[2] 清家 他, 第 60 回応用物理学会春季学術講演会予稿集, 29a-G12-8.