

溶液プロセスで作製したアモルファス InZnO 薄膜トランジスタ特性 に対するバックチャネルの影響

Influence of Back Channel on the Characteristics of Amorphous InZnO

Thin Film Transistors Fabricated by Solution Process

奈良先端大 °長田 至弘, 石河 泰明, 呂 莉, 浦岡 行治

NAIST, °Yukihiro Osada, Yasuaki Ishikawa, Li Lu, Yukiharu Uraoka

E-mail: o-yukihiro@ms.naist.jp

1. 緒言

近年、薄膜トランジスタ(TFT)のチャネル材料として ZnO 系酸化物半導体が注目を集めている。この ZnO 系酸化物半導体はスパッタ法などの真空プロセスで作製するのが一般的である。現在は、真空装置を必要とせず、簡便かつ汎用性の高い化学的手法を用いた溶液プロセスが注目を集めている。特に、フレキシブルディスプレイに対応した印刷技術での高性能 TFT 作製の実現が期待されている。

TFT におけるチャネル層の膜厚は TFT 特性に大きな影響を与えることが知られている[1,2]。溶液プロセスでは、作製した薄膜の膜厚が前駆体材料や作製プロセスに大きく依存するため、この影響を詳しく知ることは重要である。本研究では、スピコート法を用いて作製したアモルファス InZnO(a-InZnO)薄膜の膜厚の TFT 性能への影響について調べた。

2. 実験方法

SiO₂(50 nm)/Si(抵抗率: ~0.004 Ωcm)基板上に a-InZnO(In : Zn = 4 : 1)前駆体溶液をスピコート法(回転数: 2000 ~ 6000 rpm, 時間: 30 s)で製膜した。次に、ホットプレートを用いて大気雰囲気下 150 °C で 5 分間、その後、300 °C で 1 時間の焼成を行い a-InZnO 薄膜のチャネル層を作製した。得られた a-InZnO 薄膜の膜厚は約 11, 13, 15, 20 nm であった。ソース・ドレイン電極は Pt/Ti(10 nm/90 nm)を電子ビーム蒸着法により堆積した後、リフトオフプロセスにより作製した。作製した a-InZnO TFT の素子構造はボトムゲート型トップコンタクト構造である。

3. 結果と考察

作製した a-InZnO TFT の線形領域($V_d=0.1$ V)での伝達特性を Fig. 1 と Table I に示す。a-InZnO 膜厚の減少に伴い、on 電流、off 電流の増加、移動度 μ_{FET} の大幅な向上、そして、しきい値 V_{th} の -1.4 V から -16.3 V までの大きなシフトが見られた。このことから、チャネル層である a-InZnO の膜厚が TFT の伝達特性に大きく影響していることが確認された。a-InZnO 膜厚の減少に伴い、しきい値 V_{th} のシフトや on 電流、off 電流の増加が起る原因として、

キャリア密度の大幅な増加が予想される。また、a-InZnO 薄膜の膜厚は 20 nm 以下と非常に薄いため、ゲート絶縁膜との界面のみではなく、バックチャネル界面からの大気の影響を大きく受けていることが予想される。発表では、これらの詳細について報告する。

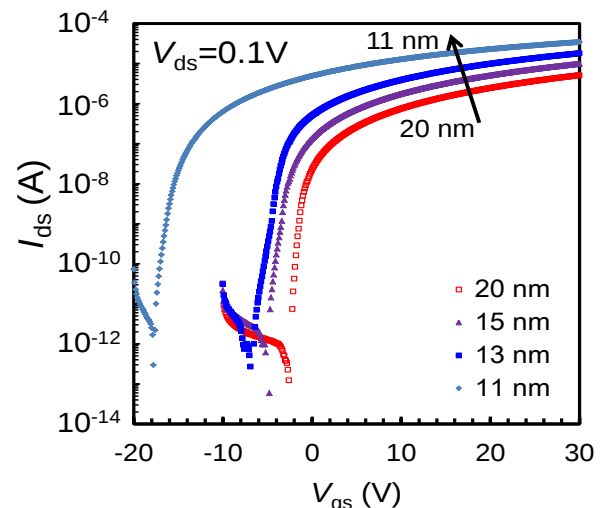


Fig. 1 Transfer curves of a-InZnO TFTs with various channel thicknesses.

Table I Device characteristics of a-InZnO TFTs with various channel thicknesses.

Thickness (nm)	ON/OFF ratio	μ_{FET} (cm ² /Vs)	V_{th} (V)	S value (V/dec)
20	10 ⁷	4.3	-1.4	0.22
15	10 ⁷	7.7	-3.5	0.34
13	10 ⁷	12.5	-4.5	0.23
11	10 ⁸	16.8	-16.3	0.15

参考文献

- [1] Ye Wang *et al.*, IEEE Trans. Electron Devices, VOL. 58, NO. 2, 2011.
- [2] Sun-Jae Kim *et al.*, Jpn. J. Appd. Phys. 50 (2011) 024104.