

Cu 配線層中に形成した高オンオフ比 P 型酸化物 FET

High On/Off-ratio P-type Oxide-based FETs Integrated onto Cu-interconnects

ルネサスエレクトロニクス 砂村 潤、金子 貴昭、古武 直也、齋藤 忍、成広 充、五十嵐 信行、羽根 正巳、林 喜宏

H. Sunamura, K. Kaneko, N. Furutake, S. Saito, M. Narihiro, N. Ikarashi, M. Hane, and Y. Hayashi

Advanced LSI Devices Research, Renesas Electronics Corporation E-mail: hiroshi.sunamura.xz@renesas.com

【はじめに】

オンチップ高耐圧インターフェイス実現を目的とし、チャンネルに N 型ワイドギャップ酸化物半導体 InGaZnO (IGZO)を用いた高耐圧な配線層内形成トランジスタ (BEOL-Tr) の研究を行っている[1-3]。BEOL-Tr 適用範囲拡大には CMOS 化が重要であるが、これまでに未報告の配線プロセス対応高オンオフ比を有する P 型酸化物半導体の開発が必須である。本稿では、Cu 配線プロセス対応 P 型酸化物半導体プロセスと配線層中に形成した高オンオフ比 P 型酸化物 FET の開発に関して報告する。

【P 型 FET 実現の課題と P 型プロセス開発】

BEOL-PFET 実現には、以下が課題である：(1) 配線プロセス対応 P 型酸化物プロセス開発、(2)N 型/P 型成分の分離、(3)オーミックコンタクト実現、(4)ゲートスタック最適化。(1)では、RF-PVD 成膜 SnO を選定し、熱処理 PDA を含めた 400 以下での低温プロセス開発により、アモルファス状態で P 型半導体特性を得ることが初めて可能となった(図 1)。プロセス低温化により(2)N 型/P 型成分分離も同時に可能となった。ワイドギャップ半導体の価電子帯端が深い($\sim 7\text{eV}$)事実は、(3) (4)において十分考慮される必要がある。特に(3)は高仕事関数金属での実現が困難であり、新規開発を必要とした。その結果、IGZO にも適用可能なプロセスを見出した。(4)には、 SiO_2 界面層を導入した。

【P 型 FET 作製と素子特性】

SnO 膜のドライエッチプロセスを開発し、配線キャップ絶縁膜 SiN/Cu 配線上に SiO_2 界面層および SnO チャンネルを形成するボトムゲート P 型 FET を作製した(図 2)。 SiO_2/SnO 界面は平坦で、EDX でも元素相互拡散は限定的であった。 I_d-V_g 特性(図 3)では、オンオフ比は 10^4 を超え、 $V_d = -1, -3.3\text{V}$ では $>10^5$ を実現した。ゲート-ドレイン (G/D) 間オフセット距離は、ドレイン耐圧 (V_{bd}) 向上に有効である。G/D 間オフセット $1\mu\text{m}$ 増加で V_{bd} は 52V 向上し、 $0.5\mu\text{m}$ で $V_{bd} > 40\text{V}$ が得られた(図 4)。

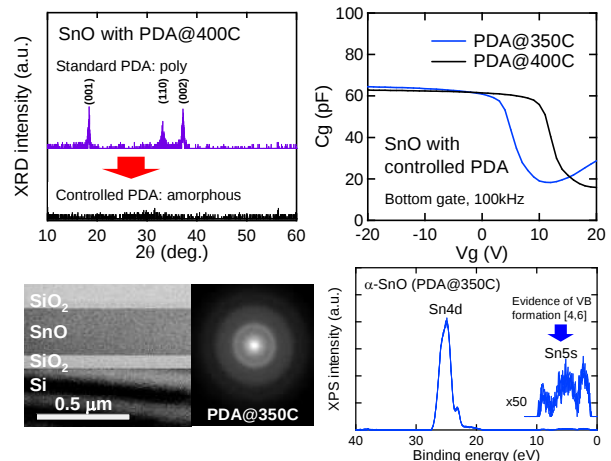


図1 低温形成アモルファスSnOとP型半導体特性

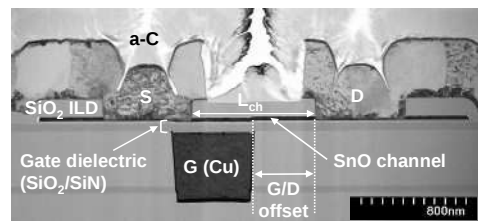
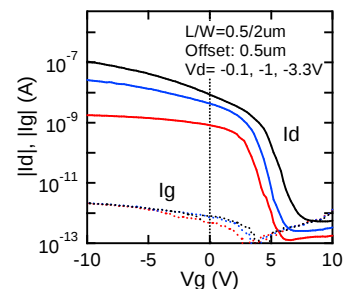
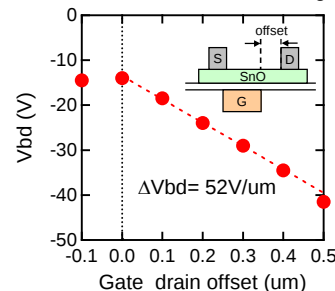


図2 Cu配線層中形成P型FETの断面TEM像

図3 P型酸化物FETの I_d-V_g 特性図4 V_{bd} のG/Dオフセット量依存性

参考文献

- [1] K. Kaneko et al., VLSI. Tech. Symp., p. 120 (2011).
- [2] K. Kaneko et al., IEDM Tech Dig., p. 155 (2011).
- [3] K. Kaneko et al., VLSI. Tech. Symp., p. 123 (2012).