

CMP 装置における表面帯電の膜質影響

Influence of static charge on ILD layer during the cmp wetting process

(株)荏原製作所, °石橋 知淳, 塩川 陽一, 渡辺 和英

EBARA CORPORATION, °Tomoatsu Ishibashi, Yoichi Shiokawa, Katsuhide Watanabe

E-mail : ishibashi.tomoatsu@ebara.com

【序論】

半導体デバイス製造 CMP 装置は、半導体デバイスの微細化に伴い、高性能研磨特性に加え、高性能洗浄特性が求められる。CMP 装置内では、研磨処理後に複数の多段洗浄を経て、乾燥処理される。この多段洗浄処理では、各々で薬液洗浄処理後に比抵抗値が高い超純水を用いた薬液のリンス処理（濯ぎ）が施されるため、CMP 装置は帯電影響による研磨パーティクル再付着や ESD 破壊などを回避することが求められている。本報告では、研磨後に表面暴露されるメタル配線 (Cu) と配線間の絶縁膜 (SiO₂) に着目し、帯電後の除電効果及び帯電量の絶縁膜質への影響検証について述べる。

【実験】

Dia, 300mm ウェーハを用いて、CMP 処理直後の帯電状態を把握し、その後に除電処理を試みた。表面電位測定は、ケルビンプローブ法によるウェーハ表面電位測定装置を用いて自動マッピング測定 (Fig. 1) している。絶縁膜 (SiO₂) 膜質への帯電による影響を把握する手段として、水銀プローブ装置を用いた C-V 測定と膜厚測定により比誘電率 k 値を求め、I-V 測定により帯電量と絶縁膜 (SiO₂) の電流リーク相関性評価した。

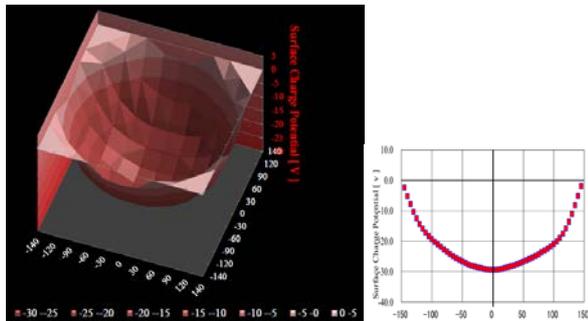


Fig.1 Wafer Surface Potential Map

【結果と考察】

Fig. 2 に示すようにイオナイザー除電によりメタル膜 (Cu) は除電されるが、絶縁膜 (SiO₂) の除電効果は確認されなかった。さらに除電効果が高い軟 X 線照射を試みたが除電効果が得られないことから、絶縁膜における帯電は表面上では無く、絶縁膜の内部であることが考えられる。しかしながら、膜質ダメージとされる比誘電率の変異 (Fig. 3) は確認されなかった。講演では、I-V 評価における帯電量と電流リークの相関性についても報告する。

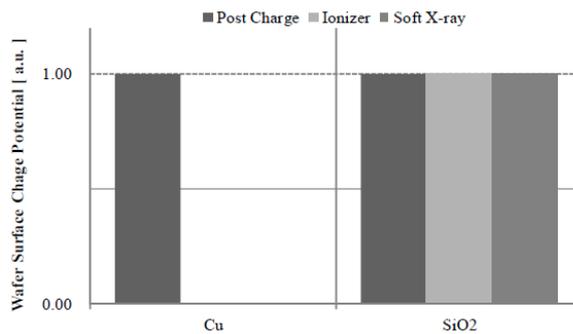


Fig.2 Static electricity removal

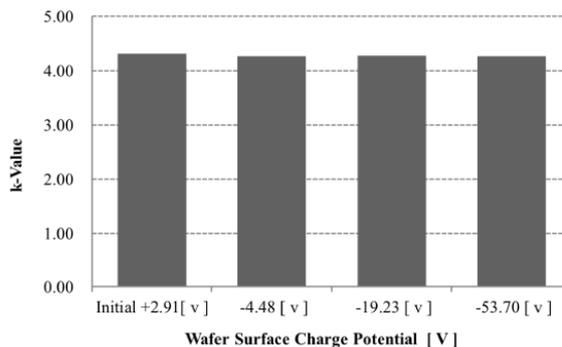


Fig.3 Charge effects on k-value

【結論】

半導体デバイス構造内を形成する絶縁膜の帯電は、後の除電は困難であり、絶縁膜の耐リーク特性を劣化させる要因となる可能性がある。