

## Isochronal annealing 法による MOSFET 絶縁膜トラップの評価 Investigation of Traps in Insulator Films of MOSFET by Means of Isochronal Annealing Techniques

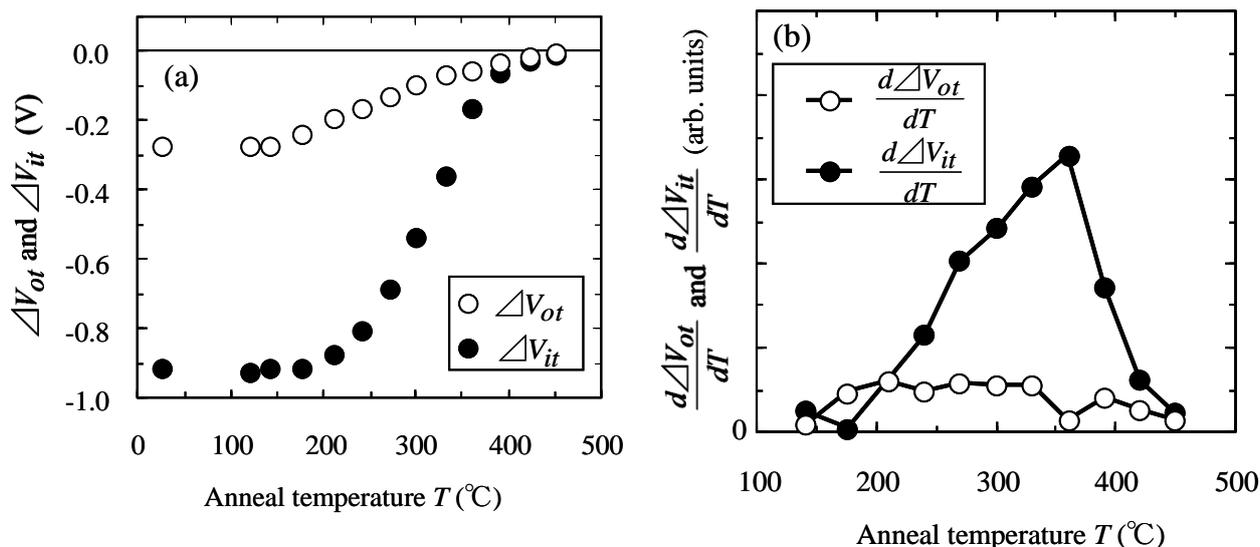
日立製作所 横浜研究所 °山川 市朗, 與名本 欣樹

YRL, Hitachi, Ltd., °Ichiro Yamakawa, Yoshiki Yonamoto

E-mail: ichiro.yamakawa.ut@hitachi.co.jp

半導体デバイスにおける信頼性低下要因の一つとして、ゲート絶縁膜起因による電流電圧特性のしきい値( $V_{th}$ )変動があり、その原因として絶縁膜中トラップと界面準位が知られている。本研究では、絶縁膜中トラップおよび界面準位の評価に Isochronal annealing 法[1]を適用した。Isochronal annealing 法は、アニール温度を段階的に高めながら、アニールと室温でのデバイス特性評価とを逐次行う方法であり、アニール温度依存性からエネルギー分布の評価が可能である。

測定に用いた試料は、ゲート絶縁膜が  $\text{SiO}_2$ 、チャンネル長  $1\mu\text{m}$  の p チャンネル MOSFET である。ゲート電圧  $V_g$  およびドレイン電圧  $V_d$  をともに  $-11\text{V}$  として  $300\text{s}$  保持し、チャンネルホットキャリアによるストレスを印加した。このストレスによる  $V_{th}$  変化のうち、絶縁膜中トラップ起因のシフト  $\Delta V_{ot}$  は  $-0.27\text{V}$ 、界面準位起因のシフト  $\Delta V_{it}$  は  $-0.91\text{V}$  であった。図(a)に、Isochronal annealing 法により測定した、 $\Delta V_{ot}$  および  $\Delta V_{it}$  のアニール温度依存性を示す。 $\Delta V_{ot}$ 、 $\Delta V_{it}$  ともに  $200^\circ\text{C}$  付近から回復し始め、約  $450^\circ\text{C}$  で完全に回復する。 $\Delta V_{ot}$  および  $\Delta V_{it}$  のアニール温度依存性の微分  $d\Delta V_{ot}/dT$  および  $d\Delta V_{it}/dT$  を図(b)に示す。 $d\Delta V_{ot}/dT$  は  $150\sim 450^\circ\text{C}$  にかけてブロードに分布するが、 $d\Delta V_{it}/dT$  は  $350^\circ\text{C}$  付近にピークを持つ。講演では、アニール温度依存性とエネルギー準位の関係、および、絶縁膜中トラップと界面準位のストレス条件依存性について議論する。



**Figure (a)** Isochronal annealing curves of threshold voltage shifts ( $\Delta V_{ot}$  and  $\Delta V_{it}$ ).

**(b)** Differential curves of  $\Delta V_{ot}$  and  $\Delta V_{it}$ .

[1] L. Dusseau, *et al.*, *J. Appl. Phys.*, **81** (1997) pp.2437-2441.