

チップ間信号伝送のためのオンチップダイポールアンテナ

On-Chip Dipole Antennas for Inter-Chip Signal Transmission

広島大学ナノデバイス研, °橋本 憲治, 杉谷 拓海, 久保田 慎一, 吉川 公麿

Research Institute for Nanodevice and Bio Systems, Hiroshima University,

°Kenji Hashimoto, Takumi Sugitani, Shinichi Kubota, Takamaro Kikkawa

E-mail: hashimoto-kenji@hiroshima-u.ac.jp

はじめに

CMOS テクノロジーの微細化による電子機器の高速化に伴い、LSI チップ間での高速データ伝送が要求される。一方、生成された高速デジタル信号をチップ外に出す手段として従来のボンディングワイヤでは寄生インダクタの周波数帯域制限により、高速信号を取り出すことは難しい。そこで、チップ間の高速デジタル信号伝送をアンテナで行うチップ間無線通信を提案している[1,2]。

実験

抵抗率 $10 \Omega \cdot \text{cm}$ 、厚さ $260 \mu\text{m}$ の Si 基板上に厚さ $6.3 \mu\text{m}$ の酸化膜を形成し、アルミニウムで形成された厚さ $0.4 \mu\text{m}$ のアンテナパターンを作製した。図 1 に Si 基板上に作製したダイポールアンテナの測定サンプル構造図を示す。チップ間距離を 10 mm とし、膜厚 1.0 mm 、誘電率 38 のインターポーザの上に配置した 2 つの Si チップ上にダイポールアンテナを集積し、アンテナ形状を変えて伝送特性の測定、評価を行った。

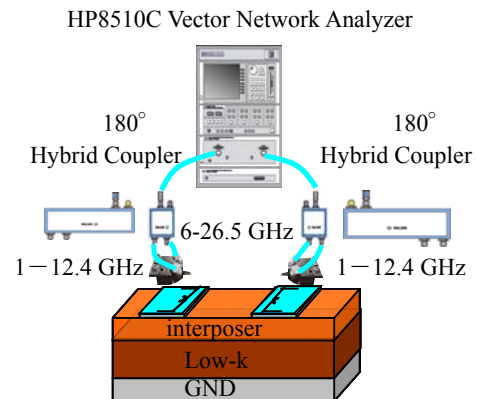


図 1. 測定サンプル構造図

結果と考察

アンテナサイズを小型化するためにアンテナ幅 $10 \mu\text{m}$ とし、アンテナ長横を 3.6 mm に固定して、 1.8 mm 折り曲げることで小型化を図った。外周のサイズを $3.6 \times 1.8 \text{ mm}^2$ と固定し、二重、三重と多重化した。図 2 に折り返しダイポールアンテナと二重折り返しダイポールアンテナ三重折り返しダイポールアンテナの平面構造図及びそれぞれのインピーダンスを示す。アンテナの多重化することで入力インピーダンスの実部は 100Ω 付近に整合し、虚部は 0Ω に整合していることが確認できる。

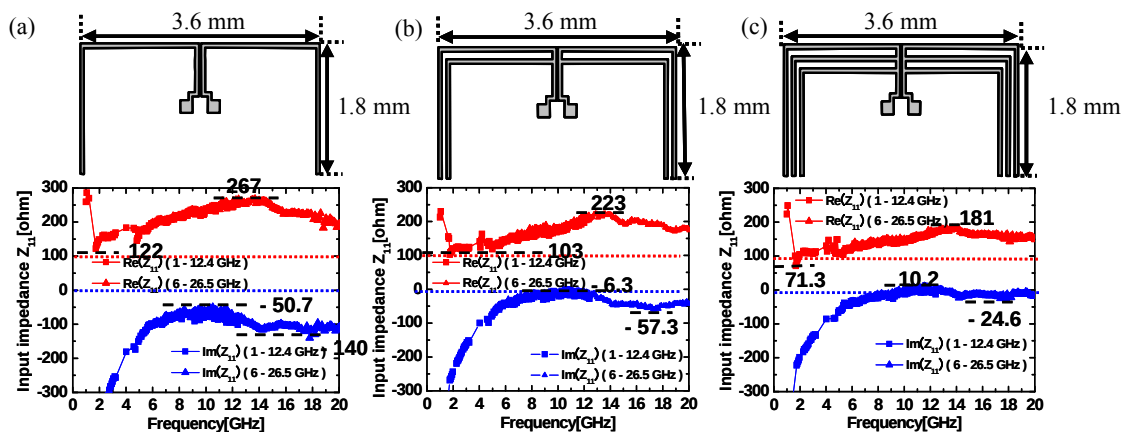


図 2. (a) 折り返しダイポールアンテナの平面構造図とインピーダンス. (b) 二重折り返しダイポールアンテナの平面構造図とインピーダンス. (c) 三重折り返しダイポールアンテナの平面構造図とインピーダンス

まとめ

シリコン基板上に集積化したダイポールアンテナを作製し、アンテナの多重化によりインピーダンス整合を行った。

参考文献

- [1] T. Kikkawa, et al., IEEE Journal of Solid-State Circuits, Vol. 43, No. 5, May 2008, pp.1303-1312.
- [2] N. Sasaki, et al., IEEE Journal of Solid-State Circuits, Vol. 44, No. 2, February 2009, pp.382-393.