

酸化濃縮基板への Sb ドーピングにより作製した極薄膜 Ge-on-Insulator nMOSFETs

Ultra-thin body Ge-on insulator nMOSFETs fabricated by Ge condensation and Sb diffusion

○金佑疆¹, 忻宇飛¹, 金榮現¹, 金相賢¹, 長田剛規², 秦雅彦², 竹中充¹, 高木信一¹
東大院工¹, 住友化学²

○WuKang Kim¹, Yufei Kin¹, Younghyun Kim¹, SangHyeon Kim¹, Takenori Osada², Masahiko Hata²,
Mitsuru Takenka¹, and Shinichi Takagi¹

The University of Tokyo¹, Sumitomo Chemical Co. Ltd.²

Email: wukangkim@mosfet.t.u-tokyo.ac.jp

【背景】近年、微細化による性能向上に限界を迎えている、Si CMOS を超える、より高性能の CMOS 作製の為、Ge や III-V 族化合物のように高移動度を持つ新材料が非常に注目を集めている[1]。高移動度を持つ新材料の中で、Ge は高性能の CMOS が実現できる可能性があるが、高移動度が実証されている p-MOS に対して、n-MOS の移動度向上が CMOS 実現の上の鍵である。一方、微細化による短チャネル効果抑制の為、極薄膜 Ge-OI(Ge-on-insulator)構造の導入が必要である。この観点から、貼り合わせ基板を用いた Ge-OI 構造での n-MOSFET の素子動作や移動度特性の報告もなされている[2]。一方我々は、極薄の Ge-OI 構造が容易に実現できる酸化濃縮法[3]に注目しており、10 nm 以下の極薄膜 Ge-OI の作製および pMOSFET の素子動作に成功している[4]。しかしながら、酸化濃縮法による極薄膜 Ge-OI nMOSFET の報告[5]はまだ乏しい。その問題点としては、低固溶限やイオン注入による欠陥の発生などにより n 型不純物のドーピングが難しい事があげられる。これに対し、SOG(Spin on Glass)を用いたアンチモン(Sb)の固層拡散により、バルク Ge 基板へ n⁺ソース・ドレイン領域を作製した報告がある[6]。そこで本研究では、酸化濃縮法により作製した p 型 Ge-OI 基板全面に、SOG を用いて Sb を拡散して n 型 Ge-OI 基板を作製し、この基板を用いて Ge-OI nMOSFET の動作を実現したので、その結果を報告する。

【研究内容】まず、SOG による Ge 基板中への Sb の拡散挙動を調べるために、p 型 Ge バルク基板に Sb のドーピングを行った。Ge 基板上に SOG 膜を塗布し、500 °C、600 °C、700 °C、1 時間の拡散を行うことにより作製した pn 接合のダイオード特性を Fig. 1 に表す。600 °C の拡散によって、1.05 程度の非常に小さい n 値や 5 桁以上の on/off 電流比が得られ、SOG からの Sb 拡散により、良好な pn 接合が実現できることを確認した。また 500 °C では十分な拡散がなされない事、700 °C では、600 °C の拡散と比べて特性が劣化し、Ge 中に何らかの欠陥ができる事が分かった。バルク Ge での実験に基づき、拡散時間と拡散温度を変えながら、酸化濃縮法により作製した 16 nm の膜厚の Ge-OI 層に Sb ドーピングを行った。Sb ドーピングを行った GOI 基板に対して、Al によるソース・ドレイン電極を形成し、バックゲート動作で I_d - V_g 特性を測定した結果を Fig. 2 に示す。Sb ドーピングしてない GOI 基板は p 型になっているが、Sb の固体拡散により、また拡散温度を高めることにより、nMOSFET としての閾値電圧が低下していくことが分かり、GOI 中に Sb がドーピングされていると判断できる。この閾値電圧の変化量から、650 °C で拡散した GOI 中の n 型不純物濃度は $\sim 3 \times 10^{18} \text{ cm}^{-3}$ と見積もられる。650 °C で拡散した Ge-OI 基板における nMOSFET の I_d - V_d 特性を Fig. 3 に、またその実効移動度を計算した結果を Fig. 4 に表す。この移動度にはコンタクト抵抗の影響が含まれており、実際の界面移動度は、更に高い値をもつと考えられる。

【結論】酸化濃縮法により作製した 16 nm の厚さの Ge-OI 基板に、SOG による Sb の固層拡散を適用することにより n 型 Ge-OI 基板の作製に成功し、バックゲート動作により、Ge-OI nMOSFET の素子動作を確認した。

【謝辞】本研究の一部は、文科省・科学研究費補助金 (23246058) により実施した。

【参考論文】 [1] S.Takagi *et al.*, SSE **51**, 526 (2007) [2] C.H. Lee *et al.*, IEEE international SOI Conference, 11.2 (2011) [3] S. Nakaharai *et al.*, APL **83**, 3561 (2003) [4] K. Ikeda *et al.*, SSDM, 32 (2008) [5] K. Morii *et al.*, JJAP **48**, 04C050 (2009) [6] T. Maeda *et al.* APEX, **3**, 061301 (2010)

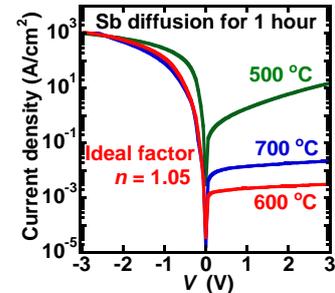


Fig. 1 Diode I - V Characteristics when doped at 500 °C, 600 °C, 700 °C for 1 hour.

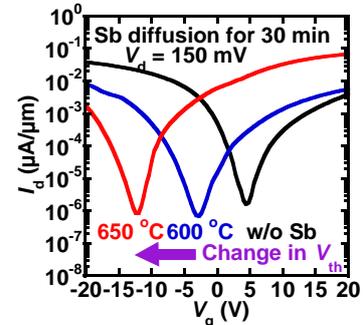


Fig. 2 Threshold voltage shift in I_D - V_G curves with change in Sb diffusion temperature at 600 °C and 650 °C for 30 min.

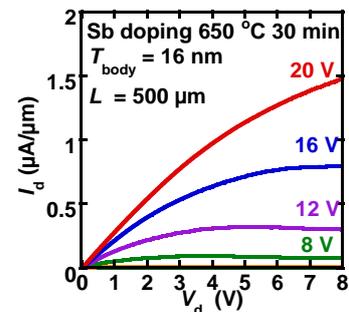


Fig. 3 I_D - V_D curves of nMOSFET back gate transistor (Doping condition 650 °C, 30 min)

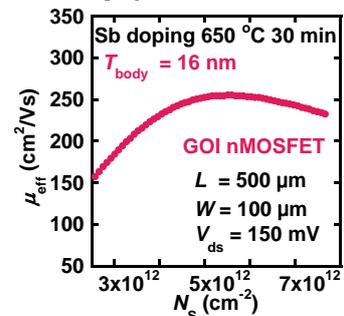


Fig. 4 Effective electron mobility as a function of N_s in GOI fabricated by Ge condensation with Sb diffusion at 650 °C for 30 min.