

固相エピタキシー法による Si (111) 基板上の GeSn-pMOSFETs

GeSn pMOSFETs on Si (111) by solid phase epitaxy

産総研¹, KU Leuven², IMEC³ °前田辰郎¹, Wipakorn Jevasuwan¹, 服部浩之¹, 内田紀行¹,

J. -P. Locquet², R. R. Lieten^{2,3}

AIST¹, KU Leuven², IMEC³ °Tatsuro Maeda¹, Wipakorn Jevasuwan, Hiroyuki Hattori,

Noriyuki Uchida¹, J. -P. Locquet², R. R. Lieten^{2,3}

E-mail: t-maeda@aist.go.jp

【はじめに】高移動度材料である Ge を Si 上に形成させる事は、Si-LSI との集積化を目指す上で、極めて重要な課題である。我々は、アモルファス Ge を低温で Si 上に極めて平坦に堆積させた後に、精密な熱処理技術により高品位な Ge を均一に固相成長できることを見出している。また、Ge はスズ(Sn)を添加する事で、さらなる移動度の向上が予測されており、その物性とデバイス特性評価が望まれる。今回、固相エピタキシー法により、Si 上に高品質な薄膜 GeSn 層を形成し、pMOSFET 動作を実証したので報告する。

【実験方法】MBE 法により非晶質 (アモルファス) GeSn(4.5%) を Si (111)基板上に室温にて堆積させた後に、窒素中 600° C、1 分間の加熱により GeSn 層を固相結晶成長させた[1]。本手法では、非平衡状態のアモルファス膜の低温堆積により、堆積時の膜は極めて平坦であることから、その平坦性を維持したまま Ge の固相成長が可能である。また、急峻な Ge /Si 界面を持つ層が得られること、低温処理により不純物等の拡散抑制ができること、固溶限界を超える Sn の高濃度添加も可能であるなどの利点がある。得られた GeSn 層を利用して TaN/Al₂O₃ ゲートスタックと、Ni により金属ソースドレインを自己整合形成した GeSn pMOSFET を試作した。

【実験結果】作製された GeSn 膜のホール測定の結果から、ホール濃度 $1.6 \times 10^{18} \text{ cm}^{-3}$ で移動度 $128 \text{ cm}^2/\text{Vs}$ と Si よりも高い値が得られた。MOSFET での評価にあたり、高いホール移動度を有効利用するために、Junctionless トランジスタ構造を採用した。GeSn と Si との価電子帯には、0.45eV 以上のバンドオフセットが存在し、ゲートバイアスにより薄膜チャネルを空乏化できると depletion-mode でのトランジスタ動作が可能である。そのためには、チャネル厚をできるだけ薄膜化する必要がある。図 1 は、RIE によりチャネルを 30nm から 10nm 程度に薄膜化した場合の Id-Vg 特性である。薄膜化する事で、チャネルが空乏化し Ioff が低下し、トランジスタ動作を確認した。図 2 はゲート長 10 μm の時の Id-Vg 特性である。On/Off 比にして 84 まで得られた。以上のことから、固相結晶法により作製された薄膜 GeSn 膜は、デバイス動作に十分な結晶性がある事が明らかになった。今後は、さらなる結晶層の高品質化が望まれる。

[1] R. R. Lieten et al., APL, 102 052106 (2013)

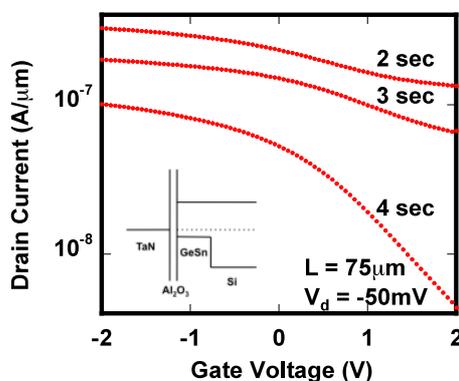


Fig. 1. Id-Vg characteristics of depletion-mode GeSn pMOSFETs with various GeSn thicknesses formed by RIE. The on/off current ratio increase for thinner GeSn layer.

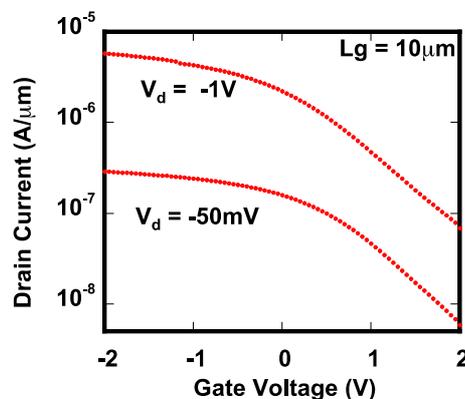


Fig. 2. Id-Vg characteristics of depletion-mode GeSn p-MOSFETs with $L = 10 \mu\text{m}$ and drain voltage of -50 mV and -1V . The on/off current ratio of 84 is obtained between $V_g = -2$ and 2V at $V_d = -1\text{V}$.