

プラズマ酸化 GeO_x 界面層挿入によるひずみ Ge ナノワイヤ MOSFET の移動度およびカットオフ特性の改善

Enhancement of Hole Mobility and Cut-off Characteristics of Strained Ge Nanowire pMOSFETs by using Plasma Oxidized GeO_x Inter-layer for Gate Stack

産総研 GNC¹ 池田 圭司¹, 上牟田 雄一¹, 守山 佳彦¹, 小野 瑞城¹, 白田 宏治¹, 小田 穰¹, 入沢 寿史¹, 古瀬 喜代恵¹, 手塚 勉¹

AIST-GNC¹ K. Ikeda¹, Y. Kamimuta¹, Y. Moriyama¹, M. Ono¹, K. Usuda¹, M. Oda¹, T. Irisawa¹, K. Furuse¹ and T. Tezuka¹
E-mail: keiji.ikeda@aist.go.jp

【背景】回路性能を維持した状態での LSI 低消費電力化を実現する手段として、高移動度チャネルの導入が検討されている。p チャネル FET の高移動度チャネル材料には、Si プラットフォームとの高い互換性と、高いホール移動度を両立するひずみ Ge チャネルが最有力候補である[1-3]。これまでに、長チャネルデバイスではあるが、ひずみ Ge nanowire MOSFET によって $\mu_{\text{eff}}=1490\text{cm}^2/\text{Vs}$ と非常に高いホール移動度が報告されている[3]。また、短チャネルデバイスに関しては、我々が既にゲート長 $L_g=65\text{nm}$ のメタルソース・ドレイン構造を有するひずみ Ge nanowire MOSFET において $I_{\text{on}}=731\mu\text{A}/\mu\text{m}$ と高い電流駆動力を実証している [2]。一方で、そのデバイスのカットオフ特性はゲート絶縁膜界面準位に起因するリーク電流により劣化しており、解決しなければならない重要な課題である。本論文ではカットオフ特性向上のために $\text{TaN}/\text{Al}_2\text{O}_3/\text{GeO}_x$ ゲートスタックをひずみ Ge nanowire MOSFET に適用した結果を報告する。

【実験】1 軸ひずみを有する Ge nanowire チャネルは 2 段階酸化濃縮法[2]によって形成した。初期 Ge 濃度の増加により nanowire の径全域にわたり 95%以上の Ge 濃度を達成した。また、Raman 分光によってもとめたチャネル方向のひずみ ϵ_{xx} は nanowire 径 $W_{\text{wire}}=40\text{nm}$ 以下において $\epsilon_{xx}=3.9\%$ 以上とほぼ Si と Ge の間に生じるミスフィットひずみに相当する大きなひずみを実現している。ゲート絶縁膜には 300°C にて Modified Magnetron Typed (MMT) Plasma [4,5] により GeO_x 界面層を形成した後に、TMA と H_2O の交互供給による ALD により 3.2nm の Al_2O_3 膜を積層した。ソース・ドレインにはドーピングを行わず、SALICIDE プロセスと同様の手法で形成した $\text{Ni}(\text{Si})\text{Ge}$ Metal S/D 構造を適用している[2]。

【結果】図 1 に作製した長チャネル素子のホール移動度を示す。MMT plasma 酸化によって形成した GeO_x 界面層を挿入した nanowire 径 $W_{\text{wire}}=40\text{nm}$ 、チャネル Ge 濃度が 95%の素子は $N_s=1.7\times 10^{12}\text{cm}^{-2}$ においてホール移動度 $1922\text{cm}^2/\text{Vs}$ を達成した。この値は、Ge MOSFET における世界最高値である。また、 $N_s=5\times 10^{12}\text{cm}^{-2}$ における移動度は現在実用化されているひずみ Si-pMOSFET の 5.8 倍に相当する。さらに図 2 に短チャネルひずみ Ge nanowire MOSFET ($L_g=65\text{nm}$ 以下、nanowire 径 $W_{\text{wire}}=28\text{nm}$ 以下) のカットオフ特性の改善効果を示す。MMT plasma 酸化によって形成した GeO_x 界面層の挿入により SS 値が向上し、オフ電流が界面層無しの場合の 1/100 程度 ($I_{\text{off}}=2.7\times 10^{-9}\text{A}/\mu\text{m}$ @ $V_d = -0.5\text{V}$) に低減できた。更に、電流駆動力も改善した (図 3)。以上の結果は将来の極低消費電力動作 CMOS の極微細 pFET として、ひずみ Ge-nanowire MOSFET が高いポテンシャルを有する事を示すものである。

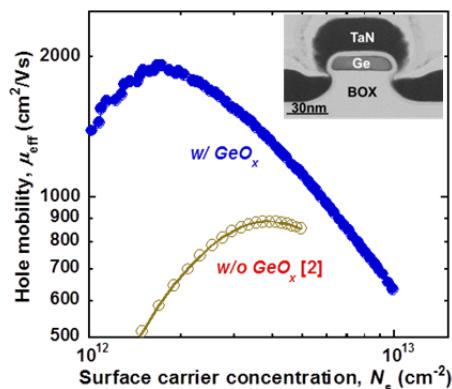


Fig.1 Hole mobility of strained-Ge nanowire MOSFETs as a function of N_s . The $W_{\text{wire}}=40\text{nm}$ nanowire MOSFET with GeO_x inter-layer exhibits 5.8x mobility gain over state-of-the-art strained-Si[1] at $N_s=5\times 10^{12}\text{cm}^{-2}$.

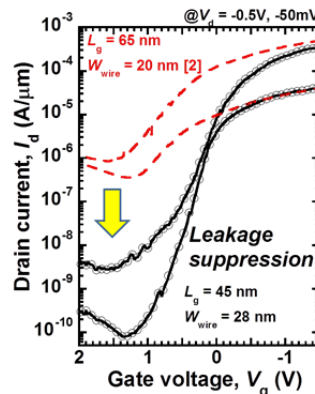


Fig.2 Comparison of I_d - V_g of strained-Ge nanowire MOSFETs w/ and w/o GeO_x inter-layer.

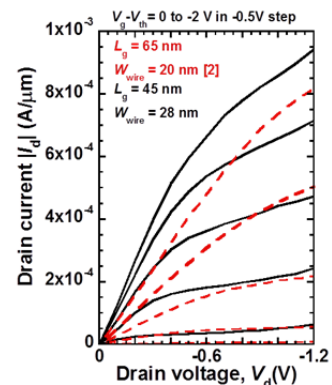


Fig.3 Comparison of I_d - V_d of strained-Ge nanowire MOSFETs w/ and w/o GeO_x inter-layer.

【謝辞】本研究は、政府の最先端研究開発支援プログラムにより、助成されたものです。

【参考文献】[1] R. Pillarisetty et al., IEDM (2010) 150. [2] K. Ikeda et al., VLSI Symp. (2012) 165. [3] W. Chern et al., IEDM (2012) 387. [4] Y. Kamimuta et al., ISTDM. (2012) 34. [5] Y. Li et al., APL 65(1994)28.