

3 次元積層集積化による高移動度 InGaAs/Ge CMOS の動作実証

Demonstration of high mobility InGaAs/Ge CMOS using stacked 3D integration

産総研 連携研究体グリーン・ナノエレクトロニクスセンター, *住友化学(株)

○入沢寿史, 小田 穰, 上牟田雄一, 守山佳彦, 池田圭司, 三枝栄子, W. Jevasuwan, 前田辰郎, *
市川 鷹, *長田剛規, *秦 雅彦, 手塚 勉

Collaborative Research Team Green Nanoelectronics center GNC, *Sumitomo Chemical Co. Ltd

T. Irisawa, M. Oda, K. Ikeda, Y. Moriyama, E. Mieda, W. Jevasuwan, T. Maeda,

O. Ichikawa*, T. Osada*, M. Hata*, T. Tezuka

E-mail: toshifumil.irisawa@aist.go.jp

[はじめに] 高い電子移動度を有する InGaAs nMOSFET と高い正孔移動度を有する Ge pMOSFET で構成されたデュアルチャネル CMOS は、高性能・低消費電力 CMOS 応用に向けた、究極的な CMOS 構造である。実際、基板貼り合わせ技術を用いて同一基板上にそれらを作り込み、個別に良好な特性が得られたことが報告されている [1]。一方、最近、nMOSFET と pMOSFET を 3 次元的に積層集積化する事で、集積化密度の増大と配線遅延の低減を図るという技術が提案され注目されている [2]。本研究では、InGaAs nMOSFET と Ge pMOSFET の高移動度を維持しつつ 3 次元集積化を行うことに成功すると共に、InGaAs/Ge CMOS インバータの動作実証に初めて成功した [3]。

[CMOS 試作] 図 1 に試作した CMOS の断面 TEM 像を示す。下段に形成された Ge pMOSFET と層間絶縁膜を介して上段に形成された InGaAs nMOSFET により CMOS インバータが構成されている。試作では、まず Ge 基板上に Ge pMOSFET を作製した後、層間絶縁膜の堆積と CMP による平坦化を行った。その後、基板貼り合わせによる InGaAs 層の形成と nMOSFET 作製プロセスを行い、最後に配線工程を経て CMOS インバータを試作した。ここで、Ge pMOSFET と InGaAs nMOSFET は共に、イオン注入を用いないメタル S/D 構造となっており、350℃以下の低温プロセスで工程が完了されている。また、それぞれのゲート絶縁膜には、それぞれ個別に最適化された $\text{Al}_2\text{O}_3/\text{InGaAs}$ 、 HfO_2/Si パッシベーション(7ML)/Ge を採用する事で移動度の最大化を図った。異なるゲート絶縁膜を、選択的形成プロセスを用いずに nMOEFET、pMOSFET それぞれに適用出来ることは、3 次元積層化の利点と言える。ゲート電極には、CMOS 動作に適した閾値を実現する TaN [4]を採用した。

[結果] 図 2 に InGaAs nMOSFET、図 3 に Ge pMOSFET の移動度のキャリア濃度依存性を示す。Si ユニバーサル移動度比、InGaAs nMOSFET で 2.6 倍、Ge pMOSFET で 3 倍という高い値を、積層化後の素子においても確認することが出来た。これらの値は、これまでに報告されている単体素子での最高値[1,5]とほぼ同等なものである。また、積層化によって接合リークやゲートリークの増大といった弊害が生じない事も確認された。これらは、350℃以下の低温プロセスで試作が完了されているため、懸念される上段素子作製プロセスによる下段素子へのダメージがほぼ無かったことを示すものである。図 4 には、CMOS インバータの入出力特性を示す。良好に閾値電圧が設定された結果、電源電圧 = 0.2 V という低電圧までインバータ動作が確認された。

[謝辞] 本研究は、政府の最先端研究開発支援プログラムにより、助成されたものです。

[参考文献] [1] M. Yokoyama et al., VLSI Symp. 60 (2011). [2] P. Batude et al., IEDM 151 (2011). [3] T. Irisawa et al., VLSI Symp. (2013). [4] T. Maeda et al., VLSI Symp. 62 (2011). [5] P. Zimmerman et al., IEDM 655 (2006).

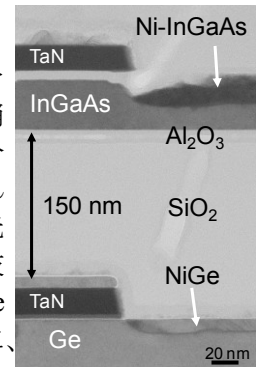


図 1 CMOS の断面 TEM 像

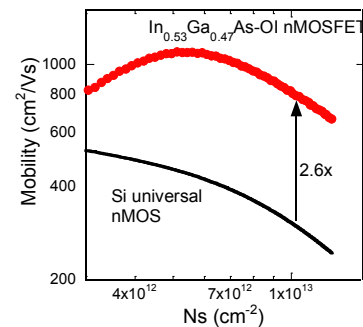


図 2 上段 InGaAs nMOSFET の移動度特性

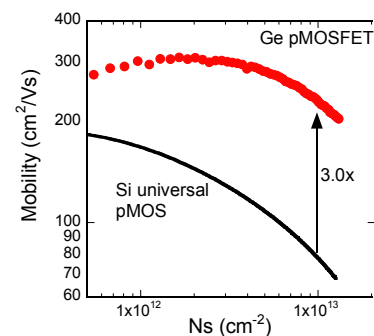


図 3 下段 Ge pMOSFET の移動度特性

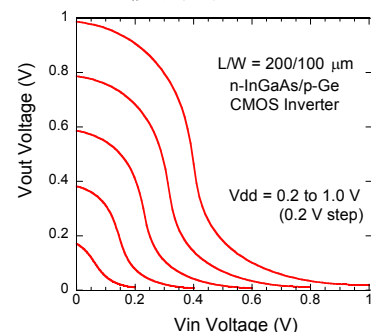


図 4 InGaAs/Ge CMOS インバータの入出力特性