

ナノワイヤトランジスタの BSIM4 モデルパラメータ抽出 BSIM4 Parameter Extraction for Tri-gate Si Nanowire Transistors

東芝 研究開発センター ◯田中 千加, 齋藤 真澄, 太田 健介, 沼田 敏典, 松下 大介
Advanced LSI Technology Laboratory, Corporate R&D Center, Toshiba Corporation,
◯Chika Tanaka, Masumi Saitoh, Kensuke Ota, Toshinori Numata, Daisuke Matsushita
E-mail: chika.tanaka@toshiba.co.jp

シリコンナノワイヤトランジスタ(NW Tr.)は、チャネル領域をゲートに囲まれた構造による優れたゲート制御力によって理想値に近い S 値で動作できることから、しきい値が低い場合でも I_{on}/I_{off} 比が高い[1], [2]。したがって、NW-Tr.-CMOS 回路において低電圧動作による低消費電力化が可能であると考えられている[3], [4]。一方、回路シミュレーションに用いられている SPICE モデルに関して、バルクモデルである Berkeley Short-Channel IGFET Model 4 (BSIM4)[5] が良く知られている。BSIM4 は sub-100nm 領域の planar 型 MOSFET のデバイス特性をよく表現しており、商用にも広く使用されている。NW Tr. や FDSOI は基板浮遊効果が少なく短チャネル効果が小さいことから理想的なバルク Tr. の特性を持つ。したがって、SOI-NW Tr. のモデルパラメータ抽出においても BSIM4 は適用可能であると考えられる。本研究では、NW Tr. の測定データを元にした BSIM4 モデルパラメータ抽出方法について検討し、得られたパラメータを用いた回路特性のプロセスおよびデバイス構造依存性を SPICE シミュレーションにより評価した。

NW Tr. は、300mm SOI ウエハを加工してナノワイヤチャネルを作成した。ゲート側壁を薄くし、高いオン電流実現にとってボトルネックとなるソース/ドレイン(S/D)-チャネル間の NW 領域の長さ(T_{sp})を短くすることによって、寄生抵抗を大幅に低減した[1]。パラメータ抽出には UTMOST IV[6]を用いた。DC パラメータ抽出のために用意した測定データは、 I_d-V_g (線形領域)、 I_d-V_g (飽和領域)および I_d-V_d であり、基板電圧依存性が無いことを確認している。

DC パラメータ抽出のための主な抽出フローは、1) 長チャネル領域($L_g=10\mu m$)の I_d-V_g 最適化、2) 短チャネル領域($L_g=35\sim 100nm$)の I_d-V_g 最適化、3) 低 V_g での I_d-V_d 最適化、4) 高 V_g での I_d-V_d 最適化、である。VTH0(しきい値パラメータ)と U0(移動度パラメータ)の初期値には測定データから得られた値を代入した。立体 Tr. では上面と側面チャネルの移動度の値が異なるが、本検討ではそれら三面の平均値を採用し、トランジスタ幅には実効トランジスタ幅: $W_{eff}=W_{NW}+2H_{NW}$ を用いた。 I_d-V_d 最適化において、 R_{sd} (S/D 寄生抵抗パラメータ)の W_{NW} および T_{gs} 依存性を考慮した。また、DIBL および GIDL のパラメータは Rubberband method を用いて個別に抽出した。

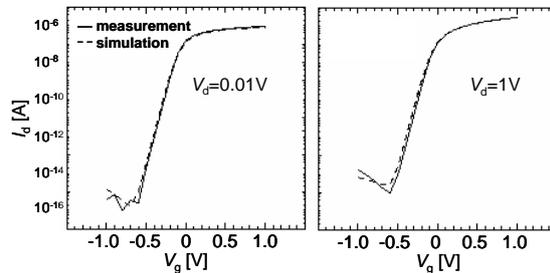


図 1. 抽出したパラメータを用いたシミュレーション結果と I_d-V_g 測定結果の比較(NMOS). $T_{gs}=10nm$, $W_{NW}=20nm$, $H_{NW}=20nm$, $L_g=80nm$.

容量モデルパラメータの抽出に関して、立体 Tr. では特にゲートと S/D 間の寄生成分(C_{para})が CMOS 回路性能に重要な影響を及ぼすと考えられている[7]。SPICE モデルパラメータのフリッジ成分を抽出するために、 C_{para} を 3 次元 TCAD から見積もった。そこでのデバイス構造は作成した NW Tr. と同じでありゲートと S/D のオーバーラップ長を持たない。Split-CV 測定[8]から抽出したゲート・チャネル間容量と TCAD から見積もった C_{para} を比較しゲート長によらず一致することを確認し、CF(フリッジ容量パラメータ)には TCAD データを用いた。Split-CV 測定には、 T_{gs} , W_{NW} およびナノワイヤ高さ(H_{NW})が異なり、それぞれに $L_g=100nm\sim 10\mu m$ の素子を用い、 $V_g=-1V$ での C_{gc} の L_g および H_{NW} 依存性から C_{para} 測定値を抽出している。また、寄生容量成分はナノワイヤのピッチ間隔(P_{NW})にも依存する。本検討では容量値を大きくとるために $P_{NW}=200nm$ とした。イントリンジックなゲート容量は、高 V_g での酸化膜容量(C_{ox})に等しいことを確認している。図1に、抽出したパラメータを用いた I_d-V_g シミュレーション結果と測定データを示す。NチャネルおよびPチャネルNW Tr.においてチャネル長 sub-100nm の領域で BSIM4 モデルパラメータの抽出に成功し、最適化の誤差は 5%以内であった。SPICE シミュレーション結果から、HP での回路性能劣化には寄生抵抗起因のオン電流低下の影響が大きい一方、LSTP での回路性能劣化にはトランジスタ立ち上がりの充放電に影響する寄生容量成分増加の影響が大きいことが分かった。

本研究の一部は、NEDO から受託したプロジェクト「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」に関するものである。

[1] K. H. Yeo, *et al*, IEDM Tech. Dig, p.539 (2006). [2] M. Saitoh *et al*, VLSI Tech. Dig, p.169 (2010). [3] C. Tanaka *et al*, ESSDERC, p.159 (2011). [4] C. Tanaka *et al*, SSDM (2012). [5] BSIM Homepage, <http://www-device.eecs.berkeley.edu/bsim/>. [6] Silvaco, <http://www.silvaco.com/>. [7] M. Guillorn, *et al*, VLSI Tech. Dig, p.12 (2008). [8] C. G. Sodini *et al*, SSE, 25, p.833 (1982).