

Ni シリサイド ナノワイヤ 抵抗率の Ni 膜厚依存性

Resistivity of Ni silicide nanowires and its dependence on

Ni film thickness used for the formation

東工大フロンティア研¹, 東工大総理工² ° 宋 禎漢¹, 松本一輝¹, 角嶋邦之²,
片岡好則², 西山彰², 杉井信之², 若林整², 筒井一生², 名取研二¹, 岩井洋¹

Tokyo Tech. FRC¹, IGSSE² ° J.Song¹, K. Matsumoto¹, K. Kakushima²,
Y.Kataoka², A. Nishiyama², N. Sugii², H. Wakabayashi², K. Tsutsui², K. Natori¹, H. Iwai¹

E-mail: song.j.ac@m.titech.ac.jp

【はじめに】 Si ナノワイヤ FET において、ソース及びドレインにおける寄生抵抗の増加によるオン電流の劣化が課題となっている。そのため、細いソースドレイン部を Ni シリサイド化させる必要があるが、Ni シリサイド ナノワイヤはそのサイズが細くなることに伴い、抵抗率が増加することが報告されている [1]。今回、その抵抗率を減らす目的で、形成した Ni シリサイド ナノワイヤにおける抵抗率の Ni 膜厚依存性を調査した。

【実験】 SOI 層 30nm 基板に幅 20~90nm 程度の Si Fin を Dry エッチングで形成した。SPM 洗浄と HF による前処理後、Ar 雰囲気中でのスパッタリング法で Ni (7, 10, 80, 120nm) を全面に堆積させた。次に基板を N₂ 雰囲気中 2-Step RTA (270°C → 500°C) で熱処理することによりシリサイドを形成した。なお 2-Step RTA においては 1st step/2nd step 間で未反応の Ni の除去を SPM により行った。さらに Ar/N₂ 雰囲気中 (9:1) でのスパッタリング法により TiN を堆積させ、電極を形成させた。その後、四端子法 (図 1) を用いて Ni シリサイド化させたナノワイヤの電気抵抗を測定するとともに、SEM 観察によりワイヤ寸法を測定することで、抵抗率を求めた。

【結果】 図 2 で示すように、Ni 膜厚 10nm 以上では [1] の結果同様、ワイヤ幅 40nm よりも細い領域で抵抗率が増加する。しかし、Ni 膜厚減少と共にその上昇は抑制され 10nm においては 60 μΩcm 程度までに低抵抗化が可能となる。ワイヤ幅 40nm 以上の領域に着目すると、この Ni 膜厚では NiSi や Ni₂Si のような低抵抗相 (約 20 μΩcm) が形成されており、そのことが細線領域における低抵抗化に繋がっているものと考えられる。しかし、さらなる Ni 膜厚薄膜化 (7nm) では極薄シリサイドの凝集 [2] と思われる抵抗率の急激な増加が起こるため、結果として、抵抗率の Ni 膜厚依存性 (図 3) には、ある最適値 (この Si FIN 厚みでは 10nm 程度の Ni 膜厚) が存在することが示された。

【参考文献】 [1] K. Matsumoto, et al., Proceedings of the 2nd International Symposium on Next-Generation Electronics (ISNE 2013), Kaohsiung City, Taiwan.

[2] Ting-Hsuan Chen et al., ECS Journal, 1(2) P90-P93 (2012).

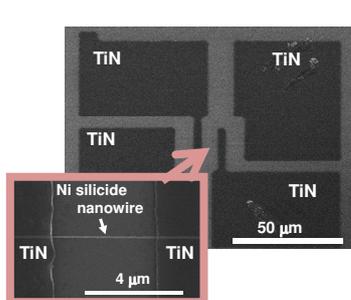


Fig. 1: SEM images of a Ni silicide nanowire and four point measurement setup with TiN electrodes

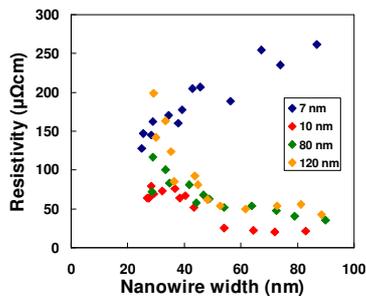


Fig. 2: Dependence of Ni silicide resistivity on nanowire line width

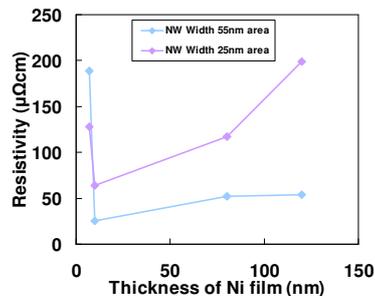


Fig. 3: Dependence of Ni silicide resistivity on Ni film thickness