

ビアラスト法を用いて形成した TSV の電気特性

Electrical Characteristics of TSV Fabricated Using Via-last process

日立中研¹, ASET² ○武田 健一^{1,2}, 青木 真由^{1,2}, 朴澤 一幸^{1,2}, 三橋 敏郎², 菊地 秀和²,
柳澤 あずさ²

Hitachi Central Research Lab.¹, ASET², ○K. Takeda^{1,2}, M. Aoki^{1,2}, K. Hozawa^{1,2}, T. Mitsuhashi², H.
Kikuchi², A. Yanagisawa²

E-mail: kenichi.takeda.hm@hitachi.com

【はじめに】

LSI 高性能化, 高機能化手法として TSV (Si 貫通電極) を用いた LSI 多層化への期待が高まっている。信頼度面において, TSV 実用化の障壁となっているのが, 裏面 TSV 露出時の Cu 汚染や配線工程における Cu ポップアップ現象である。ビアラスト法はこれらの課題に対する抜本的な解決策になりうるが, 同時に, 図 1 に示した課題や懸念事項も存在する。本報告では, ASET で開発したビアラスト TSV+チップ積層プラットフォームに基づいて試作した積層チップの結果をもとに, (A)TSV 接続配線の設計指針(配線層数, 線幅/間隔等), (B)Cu/Low-k 配線への影響を明らかにする。

【実験方法】

Cu/Low-k 配線 (8 層) を有する CMOS ウェハを, ガラス支持基板に仮接着し, Si 薄化, 裏面リソノドライ, メタル埋め込みを行い, TSV を形成した。チップの表裏にハンダバンプを形成し, FC ボンダを用いて積層した後, バンプ・TSV チェーン抵抗, Cu 配線寄生容量を測定した。

【結果・考察】

作成した積層チップ (4 層+Si インターポーザー) の鳥瞰図並びに TSV 領域の断面 SEM 写真を図 2 に示す。このようにして形成したチップのバンプ・TSV 抵抗を評価したところ, 抵抗値並びに歩留 (抵抗ばらつき) は TSV 接続配線の構造に依存する結果が得られた。この結果は, ビアラスト法を採用する場合には, TSV 接続配線の構造設計が重要なレイアウトルールであることを示している。また, TSV 近傍の Cu/Low-k 配線で構成した楕型キャパシタ (IDC) の寄生容量を評価した結果, TSV 無し構造と同等の容量が得られた。これは, TSV 形成時に, 容量的に検出可能な Low-k ダメージは生じていないことを示している。

今後は, MOSFET 評価等を行い, KOZ への影響を評価予定である。

【謝辞】

本研究は, 経済産業省の「IT イノベーションプログラム」に基づき, 新エネルギー・産業技術総合開発機構 (NEDO) から委託された「立体構造新機能集積回路 (ドリームチップ) 技術開発」プロジェクトにおいて実施された。

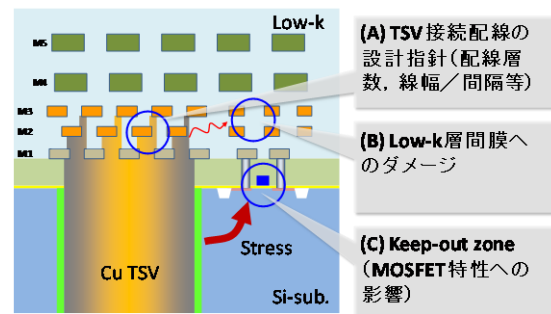


図1 Cu/Low-k配線構造にビアラスト法を適用する際の懸念事項

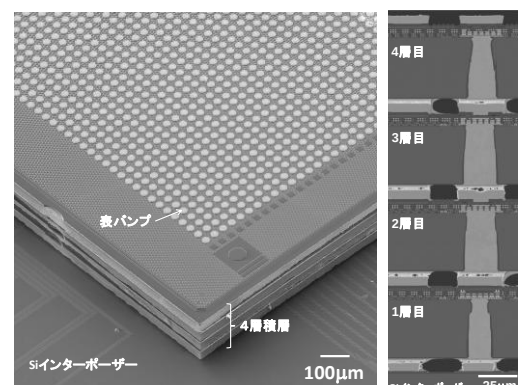


図2 ビアラストTSVを有する4層積層チップの鳥瞰図(左)と断面図(右)