

3D IC 用チップ薄化プロセスによる DRAM データ保持特性の変動評価

Effects of Chip Thinning Process on DRAM Retention Time in 3D IC

東北大院工¹, 東北大未来研², 東北大院医工³

○谷川星野¹, 長沼秀樹¹, 谷卓治¹,

木野久志¹, 藺志哲², 福島 史², 李康旭², 小柳光正², 田中徹^{1,3}

Dept. of Bioengineering and Robotics, Tohoku Univ.¹, New Industry Creation Hatchery Center (NICHe), Tohoku Univ.², Dept. of Biomedical Engineering, Tohoku Univ.³

○S. Tanikawa¹, H. Naganuma¹, T. Tani¹,

H. Kino¹, J. Bea², T. Fukushima², K.-W. Lee², M. Koyanagi², and T. Tanaka^{1,3}

E-mail: link@lbc.mech.tohoku.ac.jp

1. 諸言

近年、集積回路 (IC : Integrated Circuit) の素子の微細化限界が近付き、三次元集積化技術の研究が注目されている。三次元集積化技術によって作製した三次元集積回路は、IC チップを積層し TSV (Through silicon via) とマイクロバンプによって各層間を電気的に接続する。これにより微細化に依らない高速化高性能化を実現することができる。

しかし、三次元集積回路は Cu 汚染や Si 基板薄化による特性変動の問題が懸念されている。三次元集積回路における諸問題を Fig. 1 に示す。三次元集積回路では複数のチップを重ねるため、各チップを 50 μm 以下にまで薄化して全体の厚さを抑える必要がある。このため Si 基板の薄化に伴う機械的応力によるダメージや、結晶性の変化や研磨の際に付着した不純物による素子特性の変化が生じやすく、薄化による素子への影響を詳細に評価する必要がある [1] [2]。本研究では Cu 汚染と薄化による影響を調査する方法として DRAM (Dynamic Random Access Memory) のデータ保持特性の変動を利用した評価法を提案する。DRAM の回路図と素子断面構造を Fig. 2 に示す。

2. 実験及び結果

インターポーザ上にマイクロバンプを介して DRAM チップを電気的に接続し、インターポーザチップ間にアンダーフィルを注入した。実装したチップは Si 基板を CMP (Chemical Mechanical Polishing) (200 μm ~ 50 μm) とドライエッチング (50 μm ~ 30 μm) で薄化し、データ保持特性の変化を観察することで薄化による影響を評価した。DRAM の保持特性の測定結果を Fig.3 に示す。Si 基板の薄化に伴い保持時間が劣化しており、薄化

による影響を定量的に評価することに成功している。発表ではデータ詳細を示すとともに、データ保持特性の劣化原因についても言及する。

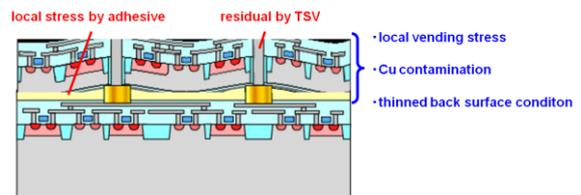


Fig.1 Issues of 3D IC

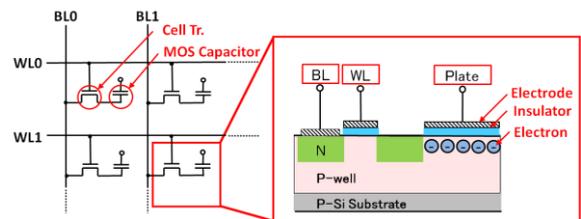


Fig.2 DRAM circuit and cross-sectional structure

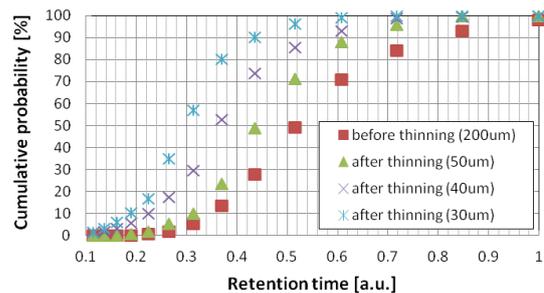


Fig. 3 Retention characteristics for thinned DRAM Chip

参考文献

- [1] M. Murugesan, *et al.*, IEDM Tech, pp. 2.3.1-2.3.4., (2010).
- [2] O. Nakatsuka, *et al.*, IEEE 3DIC, pp. 9.3.1-9.3.4., (2011).