

ペアトランジスタセルアレイで求めたしきい値電圧ばらつきの再考

Reconsideration of the Threshold Voltage Variability Estimated with Pair Transistor Cell Array

広島市立大学 ○寺田 和夫, 辻 勝弘

Hiroshima City Univ., °Kazuo Terada, Katsuhiko Tsuji

E-mail: terada@info.hiroshima-cu.ac.jp

まえがき

MOSFET のしきい値電圧標準偏差(σ_{VTH})を容易に求められるペアトランジスタセルアレイ(PTA)が提案されている[1]。今回、PTA と MOSFET アレイ(DMA)を同一チップに集積したテストチップを 65nm 技術で試作し、それぞれのテスト回路で求めた σ_{VTH} を比較した。その結果、PTA で求めた値には問題があることが分かったので、その原因を明らかにした。

PTA の構造と動作原理

図 1 に PTA の構造を示す。多くのペアトランジスタ(PT)セル(太線に囲まれた部分)が並列接続されている。 V_{G1} と V_{G2} に MOSFET1 と 2 がサブスレッシュホールド領域で動作する電圧 V_{G1} 、 V_{G2} を与えた時に、 V_{DD} から GND に流れる電流を、スイッチ SW が ON の場合と OFF の場合に測定する。それらを I_{ON} 、 I_{OFF} とすると、比 I_{ON}/I_{OFF} は $V_{G1}=V_{G2}$ の時

$$(1) \quad I_{ON}/I_{OFF} \cong e^{\frac{a^2 \sigma_{VTH}^2}{2}}$$

で近似される。ここで $a=\log_{10}S$ で、 S はサブスレッシュホールドスロープである。この式を用いて I_{ON}/I_{OFF} から σ_{VTH} を求めたものを σ_{VTH_PTA} とする。

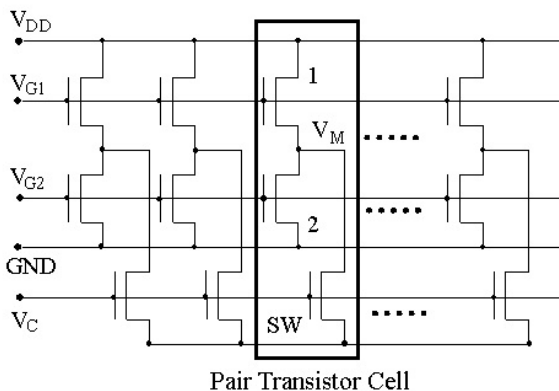


図 1 「PTA の構造」

測定結果

DMA ではアドレス信号を変えることによって、共通端子から独立に多くの MOSFET の電流電圧特性を測定できる[2]。線形領域における電流電圧特性から線形外挿法でしきい値電圧を求め、それから計算した標準偏差を σ_{VTH_DMA} とする。同一チップ上に作成したチャンネル長(L)と幅(W)の異なる PTA と DMA を測定して、 σ_{VTH_PTA} と σ_{VTH_DMA} を求めた。使用し

た PTA は 1000PT セルのものであり、DMA からは同一寸法の 192MOSFET のデータを用いた。その結果を図 2 に示す。 σ_{VTH_DMA} (×)は直線に乗れ、Pelgrom 則に従うことがわかる[3]。一方、 σ_{VTH_PTA} (○)は一部直線の上側に外れている。

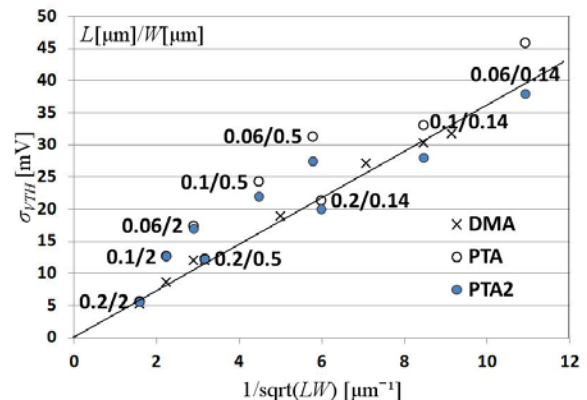


図 2 「PTA の構造」

考察と結論

σ_{VTH_DMA} はその求め方および Pelgrom 則に従うことから正しい値を示していると考えられる。一方、広・短チャネル MOSFET と非常に小さいチャネルの MOSFET では σ_{VTH_PTA} に誤差があると考えられる。その原因を調べるため、(1)式の導出に用いた仮定と近似を再考した。その結果、 σ_{VTH} が $kT/q \sim 26\text{mV}$ よりも大きくなると近似が悪くなることがわかった。そこで、乱数を用いてしきい値電圧をばらつかせた PTA の回路シミュレーションを行い、(1)式と同様の関係を数値計算した。それを用いて σ_{VTH_PTA} を補正すると、図 2 の PTA2(●)が得られた。小さいチャネルの MOSFET では、数値計算結果を用いることによって σ_{VTH_PTA} を補正でき、PTA が有効に使えることがわかる。

一方、広・短チャネル MOSFET では改善が見られない。その原因は、サブスレッシュホールド領域の電流電圧特性に見られるこぶ状のもれ電流と考えられる[4]。本テストチップでは浅い溝型素子分離(STI)を用いているが、それが原因でもれ電流が流れ、しきい値電圧ばらつきを大きくしているものと考えられる。 σ_{VTH_DMA} の場合、オン電流を外挿してしきい値電圧を求めるため、この影響を受けない。

参考文献[1] K. Terada, et al., Solid-State Electronics, Vol.49, p.818, (2005), [2] K. Terada, et al., Solid State Electronics, Vol. 53, p.314, (2009), [3] M. Pelgrom, et al., IEEE J. Solid-State Circuits, Vol. 24, p.1433, (1989), [4] Y. Joly, et al., Proc. ICMTS, p.225, (2012).