19a-C8-9

完全空乏型 Silicon-on-Thin-BOX (SOTB) SRAM セルの 電源電圧 0.4V におけるセル電流ばらつきの低減

Reduced Cell Current Variability in Fully Depleted Silicon-on-Thin-BOX (SOTB) SRAM Cells at Supply Voltage of 0.4V 東大生研¹, LEAP²

^o水谷朋子¹, 山本芳樹², 槇山秀樹², 篠原博文², 岩松俊明², 尾田秀一², 杉井信之², 平本俊郎¹ IIS, Univ. of Tokyo¹, LEAP²

^oTomoko Mizutani¹, Yoshiki Yamamoto², Hideki Makiyama², Hirofumi Shinohara², Toshiaki Iwamatsu², Hidekazu Oda², Nobuyuki Sugii², and Toshiro Hiramoto¹ E-mail: mizutani@nano.iis.u-tokyo.ac.jp

【はじめに】VLSI の更なる低電圧化のためには、トランジスタのランダムばらつき抑制が必須である. 特に、SRAM セルの安定性は、ランダムばらつきに大きな影響される[1,2]. ランダムばらつきの主要 因は離散不純物揺らぎ(RDF)なので、イントリシックチャネルを有する完全空乏型(FD) Silicon-on-Thin-BOX (SOTB) MOSFET は低電力化に有効である[3,4]. 実際、2M SRAM の 0.37V 動作が実現して いる[4]. 一方、このような低電圧動作では、SRAM セルのセル電流(I_{CELL}) ばらつきにより回路の速度 が低下する問題がある[5]. これは、低い電源電圧(V_{DD})ではオーバードライブ電圧が小さいため、ドレ イン電流ばらつき[6]が非常に大きくなることによる.本研究では、イントリシックチャネル FD SOTB SRAM セルのセル電流ばらつきを評価し、従来のバルク SRAM セルと比較したので報告する[7].

【結果】65nm 技術で作製した 1k イントリシックチャネル SOTB 6T-SRAM ($t_{SOI}=12nm$, $t_{BOX}=10nm$, $T_{inv}=2.8nm$) [4,8]と, 比較のために従来のバルク6T-SRAM セルを, DMA-TEGを用いて測定した. NFET の平均のしきい値電圧 V_{THC} はバックバイアスにより同じ値(0.24V)に揃えた. Fig. 1 に正規化した I_{CELL} 累積度数分布の V_{DD} 依存性を示す. V_{DD} が低下するに従い, I_{CELL} ばらつきは増加する. $V_{DD}=0.4V$ における I_{CELL} の平均値に対する最小値の割合は, バルクでは 35% であるのに対し SOTB では 43%である. Fig. 2 に I_{CELL} の最小値の V_{DD} 依存性を示す. I_{CELL} の最小値は SOTB の方が大きく, $V_{DD}=0.4V$ では SOTB はバルクの 2.4倍である. これらより, SOTB の方が明らかに I_{CELL} ばらつきが抑制されている. Fig. 3 に I_{CELL} とセルトランジスタの V_{THC} との相関を示す. I_{CELL} は他のパラメータとの相関が小さい. 以上より, SOTB

SRAM セルではバルク SRAM セルと比較して セル電流ばらつきが大幅に抑制され,その原因 は V_{TH} ばらつきの低減であることがわかった. 【謝辞】本研究は METI および NEDO から LEAP に委託された研究の一環として実施された.

【文献】[1] A. J. Bhavnagarwala *et al.*, IEEE JSSC, p.658, 2001. [2] X. Song et al., IEDM, p.62, 2010. [3] R. Tsuchiya et al., IEDM, p. 631, 2004. [4] Y. Yamamoto et al., to be presented in VLSI Tech. Symp., 2013. [5] J. Wang et al., VLSI Tech. Symp., p. 220, 2011. [6] T. Mizutani et al., Silicon Nanoelectronics Workshop, p. 71, 2012. [7] T. Mizutani et al., to be presented in Silicon Nanoelectronics Workshop, 2013. [8] Y. Yamamoto et al., VLSI Tech. Symp., p. 109, 2012.



Fig.2. V_{DD} dependence of cell current in the worst cells of 1k SRAM.







Fig.3. V_{DD} dependence of cell current in the worst cells of 1k SRAM. (a) SOTB and (b) BULK.