

歪 SiGe キャリア注入型光変調器に向けた低温パッシベーション Low temperature surface passivation for strained SiGe optical modulator

東大院工

金榮現*, 韓在勲, 竹中充, 高木信一

The University of Tokyo

Younghyun Kim*, Jaehoon Han, Mitsuru Takenaka, Shinichi Takagi

E-mail: yhkim@mosfet.t.u-tokyo.ac.jp

【はじめに】近年、大容量通信と省電力を同時に実現可能な Si フォトニクスを用いた光電子集積回路の研究が活発に行われている。一方、Si をベースにしたマッハ・ツェンダー干渉計型光変調器は素子長が長く、LSI に集積するためには、一層の小型化が求められている。

我々は、SiGe 層に歪を印可することでプラズマ分散効果による屈折率変調を増大可能であることを提案し [1]、数値解析により Si/歪 Si_{0.7}Ge_{0.3}/Si ヘテロ構造を有するキャリア注入型光変調器において Si と比較して注入電流量を低減できることを示した [2]。しかし、キャリア注入型光変調器は Si と SiO₂ の界面での表面再結合によって性能が劣化する問題があり、特にドライエッチングされた Si の表面では再結合がより顕著である。熱酸化により良好な SiO₂ パッシベーションが得られるが、900 °C 以上の高温プロセスが必要となり、SiGe の歪緩和が懸念される [3]。そのため、低温での良好なパッシベーション手法が求められる。我々は、原子層堆積装置(ALD)を用いて低温で Al₂O₃ を堆積することで良好なパッシベーションを実現し、変調効率の改善に成功したので報告する。

【素子作製】Al₂O₃ パッシベーションによる界面準位密度を調べるために、ALD を用い 200 °C で Al₂O₃ 層を堆積し、Al/Al₂O₃/Si MOS キャパシタを製作した。また、ドライエッチングした Si 表面上にも同様に Al/Al₂O₃/etched Si MOS キャパシタを作製した。比較のためプラズマ化学気相成長(PECVD)を用い Al/SiO₂/Si MOS キャパシタも製作した(図 1)。SiO₂ の場合は堆積後 1000 °C で 30 分間窒素雰囲気中でアニールした。最後に、Al₂O₃ パッシベーション(1 nm)を導入して直線型強度光変調器製作し、PEDVD による SiO₂ パッシベーションの変調器と比較した。

【実験結果と考察】図 2 に各 MOS キャパシタの界面準位密度(D_{it})のエネルギー分布を示す。エッチング表面に形成した PECVD SiO₂/Si 界面は 10¹² cm⁻²eV⁻¹ 以上の界面準位があり良好なパッシベーションが得られていないことが分かる。一方、Al₂O₃ により Al₂O₃/Si 界面の界面準位密度は 1 桁以上低減されており、エッチング後の表面においても Al₂O₃ で良好にパッシベーション可能であることが分かる。このことから、Al₂O₃ パッシベーションによる表面再結合を抑制できることが期待される。図 3 に自由キャリア吸収を用いた直線型光強度変調器について、注入電流による光減衰量変化を示す。比較として、SiO₂ 層の堆積前に Al₂O₃ パッシベーション層の在り・無しで比較した。20 dB 減衰を得るために必要となる注入電流は Al₂O₃ パッシベーションの有無でそれぞれ約 64 mA/mm と 47

mA/mm となり、1.4 倍程度の変調効率向上が得られた。Al₂O₃ パッシベーションにより、表面再結合が少なくなり、キャリアが効率的に注入されたと考えられる。この結果より、低温 Al₂O₃ パッシベーションはキャリア注入型の光変調器の表面再結合を抑制するのに効果的であり、歪 SiGe 光変調器のパッシベーション膜として有望であると考えられる。

【謝辞】本研究の一部は、総務省戦略的情報通信研究開発推進制度 (SCOPE) により実施した。

【参考文献】 [1] M. Takenaka, *et al.*, *IEEE J. Quantum Electron.*, vol. 48, no. 1, pp.8-16, (2012). [2] 金榮現 他, 応用物理学会 2012 13a-C5-6 [3] R. Hull, *et al.*, *Appl. Phys. Lett.*, 52, 1605 (1998).

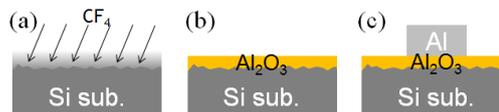


Fig. 1. Process flow of Al/Al₂O₃/etched Si MOS capacitor. (a) Dry etching, (b) Deposition of 5-nm-thick Al₂O₃ (c) Al gate formation.

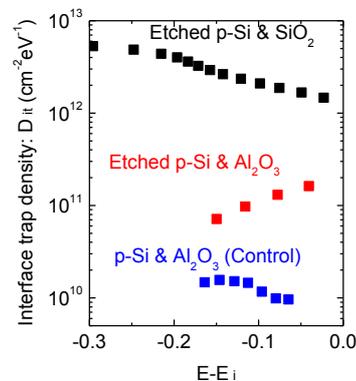


Fig. 2. Interface trap density distributions of the SiO₂/etched Si, the Al₂O₃/etched Si and the Al₂O₃/Si MOS interfaces as a function of surface potential.

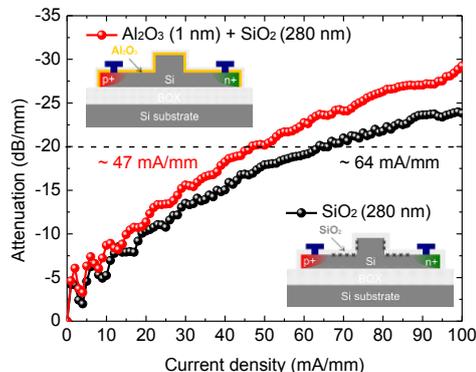


Fig. 3. Attenuation characteristics of in-line Si modulators with (red) and without (black) the Al₂O₃ passivation layer as a function of injected current density.