

エピタキシャル成長 n^+ -Ge:P の活性化率向上と Ti 電極との接触抵抗低減Improvement of activation rate of epitaxially grown n^+ -Ge:P

and reduction of contact resistance between Ti electrode and Ge:P layer

産総研 GNC¹, 阪大院基礎工² ○守山 佳彦^{1,2}, 上牟田 雄一¹, 鎌田 善己¹, 池田 圭司¹,
竹内 正太郎², 中村 芳明², 酒井 朗², 手塚 勉¹

GNC-AIST¹, Osaka Univ.² ○Yoshihiko Moriyama^{1,2}, Yuuichi Kamimuta¹, Yoshiki Kamata¹,
Keiji Ikeda¹, Shotaro Takeuchi², Yoshiaki Nakamura², Akira Sakai² and Tsutomu Tezuka¹

E-mail: yoshihiko3.moriyama@aist.go.jp

[背景] Ge は、そのキャリア移動度の高さから、高性能 CMOS への応用が期待されている。しかしながら、特に n MISFET 応用に関して、イオン注入法で S/D 領域形成を行う場合、Ge 中での V 族元素(P, As, Sb)の低固溶限、高拡散速度が原因となり、高濃度かつ浅い S/D 領域形成が困難な状況にある[1]。一方、P と同時に Sb を注入することで、高濃度領域形成が可能であるが、浅接合形成に関しては、困難なままである[2]。今回、LP-CVD を用いた P ドープエピタキシャル成長により薄膜 n^+ -Ge 層を形成し、コンタクト抵抗(ρ_c)低減を試みた。

[実験方法] Ge 中の P 濃度およびキャリア活性化率を求めるため、LP-CVD により、undoped Ge/Si 基板上に P-doped Ge 層を堆積した。この時の成長温度、成長圧力はそれぞれ、400°Cおよび 15Torr である。また、成長時の SiO₂ マスクに対する選択性を評価するため、SiO₂ ダミーゲートパターンを有する Ge 基板上に、50nm のリセス形成後、80nm の n^+ -Ge 層を堆積した。また TLM 法でコンタクト抵抗を評価するため、Ti を 65nm 厚の n^+ -Ge 上に堆積し、TLM パターンを作製した。比較のために、 p -Ge 基板上に P イオン注入(10keV, 1e15cm⁻²)を施した試料に対し、同様に Ti/ n^+ -Ge の TLM パターンを作製した。

[結果および考察] P-doped Ge 層の SIMS および SRP の結果を、図 1 に示す。図 1 から、ほぼ均一なプロファイルで P 原子が Ge 膜中に取り込まれていることが確認できる。また、ほぼ等しい P 濃度となるよう P をイオン注入し、その後活性化アニールを施した試料では、キャリア活性化率が高々 0.2 程度となるのに対し、in-situ P doping では 0.7 と高い活性化率を示している。この成長条件で選択成長を実施した試料の SEM 像を図 2 に示す。一般的に IV 族半導体への V 族ドーピングにおいては、選択性が低下することが知られているが、SiO₂ 上に核生成された様子は無く、エッチングガスを用いなくとも高い選択性を有することが確認できる[3]。次に、Ti/ n^+ -Ge の TLM 測定結果を図 3 に示す。この結果から、表 1 に示すように、P-doped n^+ -Ge と Ti の接合の ρ_c が、 $1.2 \times 10^{-6} \Omega \text{cm}^2$ と求められた。P 濃度が同等の P イオン注入試料(キャリア濃度は $2e19 \text{cm}^{-3}$)および P, Sb 同時注入試料(ref.[2])と比較し、in-situ P doping による n^+ 領域形成により、 ρ_c 低減可能なことが実証された。これらの結果より、最適化された条件で in-situ P doping を実施することにより、Ti 電極における最も低い ρ_c を実現できた。従来の P イオン注入による n^+ 領域形成の場合と比較し、Ge- n MISFET の寄生抵抗を低減できると考えられる。

表 1: Ti / n^+ -Ge の ρ_c 比較。

Contacts	$\rho_c (\Omega \text{cm}^2)$
Ti / in-situ P-doped Ge (this work)	1.2×10^{-6}
Ti / P-ion implanted Ge (this work)	1.6×10^{-5}
Ti / P & Sb co-implanted Ge (ref.[2])	2.1×10^{-6}

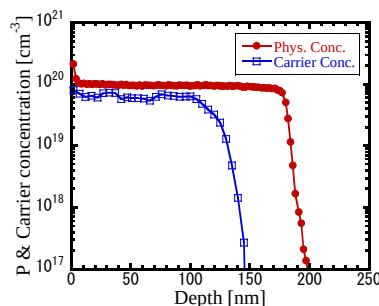


図 1: P-doped Ge 薄膜中の物理的 P 濃度および生成したキャリア濃度。

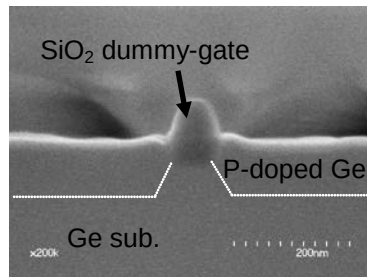


図 2: SiO₂ ダミーゲートを有する Ge 基板上に P-doped Ge 層を選択成長した試料の SEM 像。

[謝辞] 本研究は、政府の最先端研究開発支援プログラムにより、助成されたものです。

[1] M. Koike et al., JAP, v.104, p.023523 (2008).

[2] B. Yang et al., Proc. of ISTDM, p.88 (2012).

[3] Y.-C. Huang et al., Proc. of ISTDM, p.56 (2012).

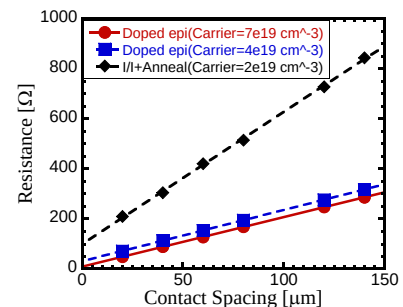


図 3: TLM 測定による、P-doped Ge および P イオン注入 Ge 試料の抵抗値。