

自己整合メタルダブルゲート Ni-SPC 低温 poly-Si TFT

Self-Aligned Metal Double-Gate Ni-SPC Poly-Si TFTs Fabricated at Low Temperature on Glass Substrate

東北学院大工 ○目黒達也, 原明人

Tohoku Gakuin Univ. °Tatsuya Meguro, Akito Hara
E-mail: s1394306@tjcc.tohoku-gakuin.ac.jp

1. はじめに

高電流駆動能力を有するマルチゲート多結晶シリコン (poly-Si) 薄膜トランジスタ (TFT) は次世代型 TFT として非常に魅力的なデバイスである。我々は自己整合プロセスによって作製された、自己整合メタルダブルゲート (MeDG) 低温 (LT) poly-Si TFT を報告してきた[1,2]。この TFT は $2\mu\text{m}$ 以上の大粒径ラテラル結晶を有しており、 $500\text{ cm}^2/\text{Vs}$ 超の見かけ上の移動度と $130\text{--}140\text{ mV}/\text{dec}$ の S 値という高い性能を示した。

しかし、大粒径ラテラル結晶を有する poly-Si 薄膜の作製には、連続波レーザラテラル結晶化 (CLC) を必要とする[3,4]。本稿では、ガラス基板上に簡単、安価に高性能な DG LT poly-Si TFT を実現するため、Ni-SPC poly-Si 薄膜を適用した。DG Ni-SPC poly-Si TFT は、既に Makihira らによって報告されている[5,6]。だが、彼らの TFT は熱酸化 SiO_2 ゲート絶縁膜と poly-Si ゲートを用いるため、プロセス温度が高い。 600°C 以下の低温における TFT 作製は OLED、AM-LCD、システムオンガラス、及びフレキシブルエレクトロニクスのための poly-Si TFT には必須である。これを満たすべく、我々は SiO_2 ゲート絶縁膜とトップ・ボトムゲートメタルの形成に PECVD と金属スパッタリングをそれぞれ使用した。

2. 実験

自己整合 MeDG Ni-SPC LT poly-Si TFT の評価のため、同一の作製条件で TG Ni-SPC LT poly-Si TFT を作製した。図 1(a)と(b)に本稿 TFT の構造を示す。

3. 結果と考察

図 2(a)と(b)にゲート長 (L) が $5\mu\text{m}$ の自己整合 MeDG Ni-SPC LT poly-Si TFT と TG Ni-SPC LT poly-Si TFT のトランスファー特性と出力特性を示し、表 1 にその性能をまとめた。DG TFT と TG TFT を比較するため、DG は TG 構造と仮定した見かけ上の移動度をを用いた。

DG TFT は $40\text{ cm}^2/\text{Vs}$ の見かけ上の移動度と $1.3\text{ V}/\text{dec}$ の S 値を示し、対照的に TG TFT は $20\text{ cm}^2/\text{Vs}$ の移動度と $1.8\text{ V}/\text{dec}$ の S 値を示した。図 3 にはゲート長に対するトランスファー特性を示した。DG TFT の V_{th} のばらつきが TG TFT より小さいこと、DG TFT のオフ電流が TG TFT よりも低いことが分かる。これは DG TFT のチャネル領域でのゲート制御性が TG TFT よりも優れることを意味する。SD 抵抗を確認するため、ゲート長に対する V_d/I_d を 3 つのゲート長において測定した結果を図 4 に示す。測定された $R_s(=R_d)$ は非常に大きな値であり、イオン注入量の不足によって引き起こされているものと推測された。

4. 結論

自己整合 MeDG Ni-SPC LT poly-Si TFT をプロセス温度 600°C 以下でガラス基板上に作製した。TG TFT に比べて優れた S 値と 2 倍のオン電流をもち、 V_{th} のばらつきとオフ電流に明らかな向上が見られた。これらは、自己整合 MeDG Ni-SPC LT poly-Si TFT のチャネル領域におけるゲート制御性が TG TFT より優れていることを意味し、自己整合 MeDG Ni-SPC LT poly-Si TFT の更なる向上の可能性を示している。

5. 謝辞

本研究の一部は、科学研究費基盤 (C)22560341 の支援により行われた。

参考文献

[1] A. Hara et al.: Jpn. J. Appl. Phys. 50 (2011) 021401.
[2] H. Ogata et al.: IEICE TRANS. ELECTRON. E96C (2013) 285.
[3] A. Hara et al.: Jpn. J. Appl. Phys. 41 (2002) L311.
[4] A. Hara et al.: Jpn. J. Appl. Phys. 43 (2004) 1269.
[5] K. Makihira et al.: Dig. Tech. 2001 AM-LCD (2001) p.243.
[6] K. Makihira et al.: IEICE. REPORT OF IEICE, ED2002-156, SDM2002-106 (2002) p.195.

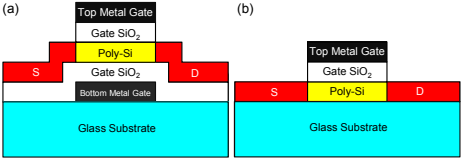


Fig. 1. (a) and (b) Structure of the two TFT types.

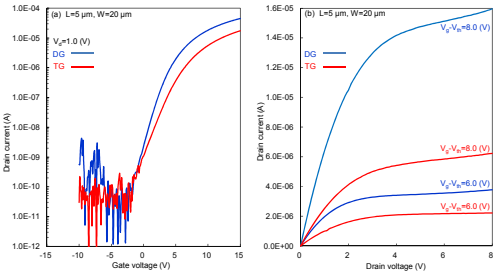


Fig. 2. (a) and (b) Transfer and output performance of the TFT for a gate length of $5\mu\text{m}$.

Table I. Performance of TFTs			
	V_{th} (V)*	s.s. (V/dec)	μ_{FE} (cm^2/vs)**
DG	-0.5	1.3	40
TG	-0.4	1.9	20

* @ 10^{-9} (A) ** Nominal

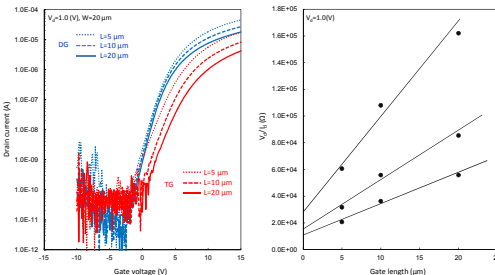


Fig. 3. Transfer characteristics against different gate lengths.

Fig. 4. Plot of V_d/I_d against gate length.