

埋め込み構造を有するガラス上の自己整合メタルダブルゲート 低温 poly-Si TFT (2)

Self-Aligned Embedded Metal Double-Gate Low-Temperature Poly-Si TFT (2)

東北学院大工¹, [○]佐々木 駿¹, 原 明人¹
Tohoku Gakuin Univ.¹, [°]Shun Sasaki¹, Akito Hara¹,
E-mail: s1394302@tjcc.tohoku-gakuin.ac.jp

1. はじめに

液晶ディスプレイ、有機 EL、システムオンガラスなどの制御回路では、高い電流駆動能力を有する高性能な薄膜トランジスタ (TFT) が必要とされる。また、最近では 3 次元集積回路を実現するためのキーデバイスとして TFT が注目されている。Poly-Si TFT は高い電流駆動能力を有していることから注目されているが、LSI に使用されている MOS トランジスタと比較すると電源電圧は高く、オン電流はまだ不十分であり、更なる低電圧化・電流駆動能力の向上が期待される。我々は、図 1 に示すようなボトムメタルゲートを基板に埋め込み構造を有する n-ch の自己整合 (self-aligned) 埋め込み型メタルダブルゲート (Embedded MeDG: E-MeDG) 低温 (LT) poly-Si TFT を実現し、その高い性能を報告した[1]。今回、n-ch および p-ch の self-aligned E-MeDG LT poly-Si TFT を形成し、その性能を評価した。

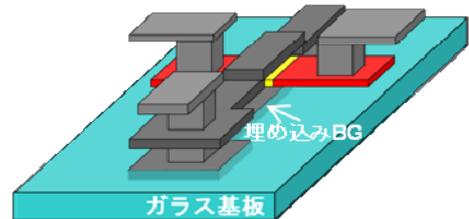


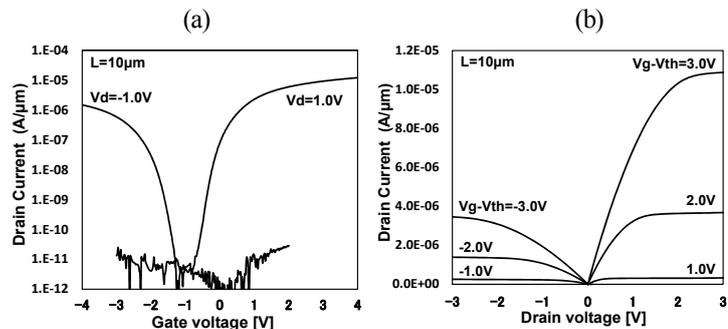
図 1. 埋め込み構造を有する自己整合メタルダブルゲート低温 poly-Si TFT

2. 実験

ガラス基板に反応性イオンエッチング (RIE) によりボトムメタルゲート用の凹構造を形成したあと、スパッタ装置を利用してタングステン (W) を埋め込む。次に CMP により余分な W を除去し、ボトムメタルゲートを形成する。続いて、プラズマ CVD を利用し、ボトムゲート酸化膜、アモルファス Si (a-Si) 膜を形成する。形成した a-Si に DPSS CW レーザラテラル結晶化 (CLC) を施し poly-Si を形成したあと、再び CVD でトップゲート酸化膜、スパッタ装置により W を成膜する。その後、ボトムゲートをマスクに利用した自己整合技術[2, 3]によりトップメタルゲートを形成し、イオン注入を行う。最後に、CVD により層間絶縁膜を成膜し、電極を形成することで最高温度 550°C のプロセスが完了する。

3. 結果

作製したゲート長 10 μm の self-aligned E-MeDG LT poly-Si TFT のトランスファ特性と出力特性、およびその解析結果を図 2 に示す。n 型、p 型ともに鋭い立ち上がりを確認できる。また、 g_m から求めた線形領域の (見かけ上の) 移動度においても非常に高い性能が得られた。



	Mobility[cm ² /Vs]	S value[mV/dec]	V _{th} [V]
n-ch TFT	530*	140	-0.5
p-ch TFT	135*	150	-1.4

*Nominal

図 2. (a) トランスファ特性 (b) 出力特性 (c) TFT 特性の解析結果

4. まとめ

n-ch および p-ch の self-aligned E-MeDG LT poly-Si TFT を作製し、高い移動度、鋭い立ち上がり特性を確認した。本結果はガラス基板上の低電圧動作 CMOS 回路の実現の可能性を示すものである。

謝辞：本研究は科学研究費基盤 (C) 22560341 の支援により行われた。

参考文献：[1] H. Ogata et al.: IEICE TRANS. ELECTRON. E96C (2013) 285. [2] K. Makihiro et al.: Dig. of AM-LCD 01, (2001) 243. [3] A. Hara et al.: Jpn. J. Appl. Phys. 50 (2011) 021401.