

## 薄膜 Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> BOX 層を有する UTB-GeOI 基板作製

### Fabrication of UTB-GeOI wafers with thin Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> BOX layers

産総研 GNC<sup>1</sup>, 阪大院基礎工<sup>2</sup>, グローバルウェーハズ ジャパン<sup>3</sup> ○守山 佳彦<sup>1,2</sup> 池田 圭司<sup>1</sup>,  
竹内 正太郎<sup>2</sup>, 上牟田 雄一<sup>1</sup>, 中村 芳明<sup>2</sup>, 酒井 朗<sup>2</sup>, 泉妻 宏治<sup>3</sup>, 手塚 勉<sup>1</sup>  
GNC-AIST<sup>1</sup>, Osaka Univ.<sup>2</sup>, GlobalWafers<sup>3</sup> °Yoshihiko Moriyama<sup>1,2</sup>, Keiji Ikeda<sup>1</sup>, Shotaro Takeuchi<sup>2</sup>,  
Yuuichi Kamimuta<sup>1</sup>, Yoshiaki Nakamura<sup>2</sup>, Akira Sakai<sup>2</sup>, Koji Izunome<sup>3</sup> and Tsutomu Tezuka<sup>1</sup>  
E-mail: yoshihiko3.moriyama@aist.go.jp

[背景] 低消費電力 CMOS のプラットフォームとして、高移動度材料である薄膜 Ge チャネルを有し、低電圧のバックバイアス印加によるしきい値制御が可能な UTB-GeOI 基板の適用が期待されている[1]。このとき、BTBT リーク電流増大などの短チャネル効果を抑制するには、GeOI 層を約 4nm 以下にまで薄膜化することが要求される[2]が、このような超薄膜 GeOI 層はまだ実現されていない。我々はこれまでに、従来の GeOI 基板の欠点である、①厚い BOX 層、②貼り合わせ Ge/SiO<sub>2</sub> の高い界面準位密度、③貼り合わせ界面の低い機械的強度を改善した、薄膜 Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> BOX 層を有する GeOI 基板を提案した[3]。一方、GeOI の Ge 供給基板を、バルク Ge 基板ではなく、エピ Ge/Si 基板を適用することによる GeOI 基板の作製が検討されている[4]。大口径 Ge バルク基板を入手しにくい現状では、エピ Ge/Si 基板を使用して GeOI 基板作製を行うことが大口径 GeOI 基板作製を製する上で必須となる。今回、Ge 供給基板としてエピ Ge/Si 基板を用いて薄膜 Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> BOX 層を有する GeOI 基板を作製し、エピ Ge/Si 基板へと変更した場合の貼り合わせ強度への影響を調べた。また、GeOI 層の極薄膜化技術の確立を目指し、溶液エッチングによる GeOI の極薄膜化について検討した。

[実験方法] Si 支持基板を熱酸化することにより、10~30nm SiO<sub>2</sub> 膜を形成する。一方、表面を CMP で平坦化処理した 1μm 厚のエピ Ge/Si(001)基板および参照用の n-Ge(001)基板表面上に、ALD 法により 4nm 厚の Al<sub>2</sub>O<sub>3</sub> 層を堆積させる。Ge 上 Al<sub>2</sub>O<sub>3</sub> 表面と、Si 支持基板の SiO<sub>2</sub> 表面とを大気中、室温で貼り合わせた。一部の試料は、200Pa 窒素雰囲気中で、200°C、5 時間の接合強化アニールを実施した。その後、不要な上部 Si 層を機械研磨、CMP で除去、および GeOI 層表面を CMP で平坦化し、さらに希釈 H<sub>2</sub>O<sub>2</sub> 溶液によるエッチングで 4nm 厚まで薄膜化した。基板の接合強度は、クラック・オープン法を用いて、表面エネルギーを定量評価することにより求めた[5]。

[結果および考察] クラック・オープン法により求めた、GeOI 基板の貼り合わせ強度(表面エネルギー)を図 1 に示す。Ge 供給基板としてエピ Ge/Si 基板を採用することにより、バルク Ge 基板の場合と比較し、アニール後の接合強度が飛躍的に増加している。これは、Ge 層が薄いことにより、アニール時に熱応力による剥がれや接合強度不足等の問題となる、熱膨張係数差の影響が低減されたからと推測できる。次に、GeOI 層を 4nm まで薄膜化した GeOI 基板の TEM 像を図 2 に示す。希釈 H<sub>2</sub>O<sub>2</sub> 溶液が Ge に対して異方性エッチャントであることから、(001)表面を維持したまま平坦化されたと考えられる。また、薄膜化後の GeOI 層表面の AFM 像を図 3 に示す。得られた表面ラフネス値(Rq)は約 0.3nm と CMP 後のエピ Ge 表面と同等であり、薄膜化プロセスにおいて、平坦性を低下させず均一な異方性エッチングが進行していることが確認された。これらの要素技術は、大口径で強固な貼り合わせ界面を有し、微細 CMOS の作製に適用可能な UTB-GeOI 基板の実現にとって有望であることが示された。

[謝辞] 本研究は、政府の最先端研究開発支援プログラムにより、助成されたものです。

[1] C. Fenouillet-Beranger et al., Solid-state electronics, vol.54, pp.849 (2010). [2] T. Krishnamohan et al., ECS Trans., vol.3, pp.687 (2006). [3] Y. Moriyama et al., Solid-state electronics, vol.83, pp.42 (2013). [4] Y. Hoshi et al., Appl. Phys. Exp., vol.5, pp.015701 (2012). [5] T. Martini et al., J. electrochem. Soc., vol.144, pp.354 (1997).

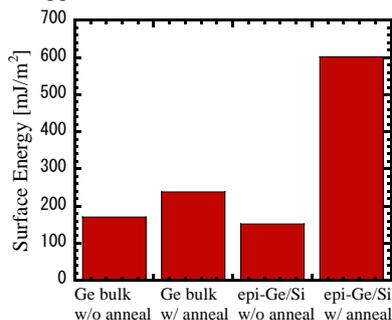


図 1: クラック・オープン法による、GeOI 基板の貼り合わせ強度(表面エネルギー)測定結果。

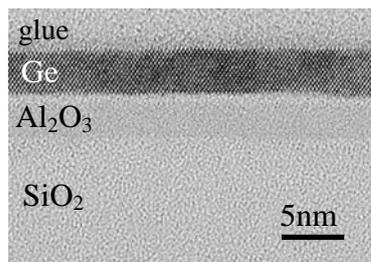


図 2: GeOI 層を 4nm まで薄膜化した、GeOI 基板の断面 TEM 像。

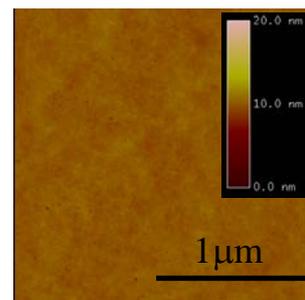


図 3: 4nm 厚 GeOI 表面の AFM 像(2μm sq.)。