直接貼付 InP/Si 基板上 GaInAs/InP MQW 構造選択 MOVPE における PL 波長シフト PL wavelength shift observed from GaInAs/InP MQW structure grown on directly-bonded InP/Si substrate using selective MOVPE

上智大学 理工学部, 松本恵一, Zhang Xinxin, 金谷佳則, 下村和彦 Sophia University, Keiichi Matsumoto, Xinxin Zhang, Yoshinori Kanaya, Kazuhiko Shimomura E-mail: kshimom@sophia.ac.jp

<u>はじめに</u>

大容量高速通信を可能とする III-V 族半導体を Si プラットフォーム上に集積することが求めら れている.これに対し,我々はこれまで直接貼付 法とウェットエッチングを用いて InP/Si 基板を作 製し,この基板上に III-V 族半導体結晶を成長す る方法を提案してきた[1].今回,この InP/Si 基板 上に狭ストライプ選択 MOVPE 成長を行ったので 報告する.

実験結果

本実験では基板表面に親水化処理を施すこと により実現される直接貼付法[2]と HCl:H₂O 溶液 によるウェットエッチングを用いて InP/Si 基板 を作製した.そして,作製された InP/Si 基板上に 狭ストライプ選択 MOVPE 法を行った. この方法 は成長層の層厚を変化させることで, 選択的に異 なるバンドギャップエネルギーを持つ結晶を得 ることができる.実験では、図1に示すような、 アレイ数 =16本, アレイ長 =4800 µm, 窓幅 =3 μm, マスク幅 =3 μm の片側のみにマスク幅 W= 200 µm のワイドマスクを有する非対称マスクパ ターン[3]を用いた.このマスクを用いることで, ワイドマスク近傍の窓領域から遠方の窓領域に かけて成長速度が遅くなり,図2に示すような階 段状の層厚を持つアレイが形成される.成長層構 造は InP buffer 層, GaInAs/InP 30OWs, InP clad 層とした.この際,成長断面は基板に平行な (100)面を上面として、成長速度が最も遅い (111)B 面が側面に出た形状となる.結晶成長後 の断面 SEM 像を図 3 に示す. また, 各アレイ の PL ピーク波長と層厚の関係を図4に示す.図 4に示したように、各アレイの層厚の変化に従 って,波長シフトが得られている.そして,ア レイ1とアレイ16では約110 nm の波長シフ トを確認した.

謝辞

本研究は, 文科省私立大学戦略的研究基盤形成支援事業の援助を受けて行われた.

参考文献

 K. Matsumoto, T. Makino, K. Kimura, K. Shimomura, J. Crystal Growth, vol. 370, pp. 133-135, May 2013.
Silke H. Christiansen, Rajendra Singh, Ulrich Gosele, Proc. IEEE, vol. 94, no. 12, pp. 2060-2105, Dec. 2006.
T. Yoshioka, Y. Kawakita, A. Kawai, T. Okawa, K. Shimomura, J. Crystal Growth, vol. 298, pp. 676-681, Jan. 2007.









図 3. 結晶成長後断面 SEM 像



図 4. 各アレイの PL ピーク波長と層厚の関係