19a-P8-7

V 溝(111)面を形成した Si(100)基板上への InSb 薄膜の成長

Growth of InSb films on a Si(100) substrate formed V-grooves with (111) planes

富山大学　°下山浩哉，森 雅之，前澤 宏一

Univ. of TOYAMA,　°Hiroya Shimoyama, Masayuki Mori, Koichi Maezawa

E-mail: m1371021@ems.u-toyama.ac.jp

【はじめに】

Ⅲ-Ⅴ族化合物半導体である InSb は化合物半導体中最大の電子移動度(約 78,000cm/Vs)を示し、超高速・低消費電力デバイスとしての応用が期待されているが、Si との 19.3%の格子不整合などにより Si(100)基板上にエピタキシャル成長を行うことは困難であった。しかし InSb の優先配向面が(111)面であることから、Si(111)基板上には InSb がエピタキシャル成長することが明らかになっており、我々は既に Si(100)基板上に異方性エッチングにより(111)面を形成することで InSb がエピタキシャル成長することを示している。V 溝(111)面に成長した InSb 薄膜は基板の法線方向に(100)が向くため、十分な膜厚を成長させることで Si(100)基板上に InSb(100)薄膜を成長させたことに等価となる。本研究は異方性エッチング時の保護膜下に残ってしまう Si(100)面のライン幅をなるべく狭めることで、結晶性や電気的特性の向上を試みた。

【実験方法】

V 溝(111)面作製のため、1/ 1μm のライン&スペースのパターンを転写した SiO_2/Si 基板(SiO_2 膜厚約 1100Å)を CF_4RIE(100cc/min,50W,4min)により SiO_2 膜を縦方向へドライエッチングを行った。その後露出した Si(100)面を TMAH(25wt.%,90℃,3min)により異方性エッチングすることで V 溝(111)面を形成した。作製した V 溝は(100)面の幅が約 90nm 程度であった。V 溝(111)面を形成後、MBE チャンバー(<3×10^{-7} Pa)にて InSb の成長(膜厚約 1μm)を行い、XRD2θ/ω測定、ホール効果測定を行い結晶性、電気的特性を評価した。

【結果と考察】

XRD 2θ/ω測定の結果を図 2 に示す。InSb に関連するピークとして InSb(400)のみが現れていることから、InSb(100)結晶が Si(100)基板上にエピタキシャル成長していることがわかる。しかし結晶性を示す半値幅の値は過去の実験と比較して、大幅な改善は見られなかった。またホール効果測定の結果、InSb 薄膜の電子移動度は 12,000cm^2/Vs 程度の値を示した。これは過去の(100)面のラインが残った基板上へ成長させた InSb 薄膜(膜厚約 1.2μm)の電子移動度 1,850cm^2/Vs と比べ高く、膜厚が薄いにも関わらず非常に良好な結果といえる。

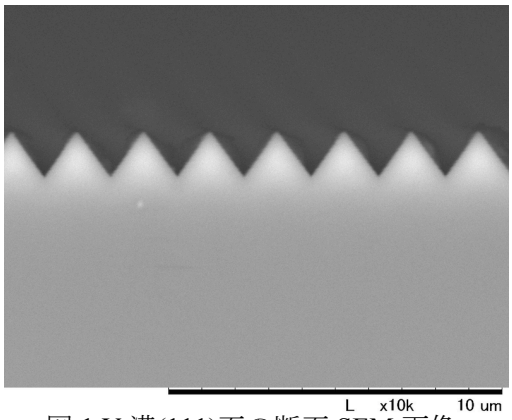

図 1.V 溝(111)面の断面 SEM 画像

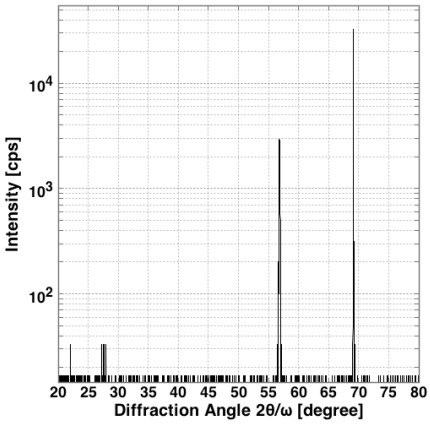

図 2.XRD2θ/ω測定結果

© 2013 年　応用物理学会