

相変化デバイス向け poly-Si ダイオードの 結晶化・不純物活性化プロセスの最適化検討

Optimizing Annealing Process of poly-Si Diode for Phase Change Devices

超低電圧デバイス技術研究組合 (LEAP)

○田井 光春, 木下 勝治, 大柳 孝純, 森川 貴博, 秋田 憲一, 高浦 則克

Low-power Electronics Association & Project (LEAP),

○M. Tai, M. Kinoshita, T. Ohyanagi, T. Morikawa, K. Akita, N. Takaura

E-mail: tai@leap.or.jp

我々は相変化デバイスを用いた高集積な外部記憶装置を実現するために、縦型 poly-Si pin ダイオードを選択素子とする相変化デバイスアレイを開発している[1]。poly-Si pin ダイオードでオン電流を確保するには、Si 結晶化・不純物活性化のための熱負荷を充分に加える必要があるが、導入した不純物が真性層へ拡散するため、オフ電流が増加する。このため、スイッチ性能を確保するには、真性層の伸長と可能な限り低熱負荷での Si 結晶化・不純物活性化が必要である。アレイを構成する bit の加工精度の要請から真性層の上限 (100 nm) が規定されるため、これを考慮した熱負荷プロセス (RTA プロセス) を検討した。

図 1 は各熱プロセスに対し、導入不純物であるリンおよびボロンの真性層への拡散の様子を示した SIMS 分析の結果である。熱負荷が大きくなるに従って不純物は真性層へ拡散し、実効的な真性層長さが縮小することがわかる。図 2 はリンおよびボロンを導入した poly-Si 膜の抵抗率の熱負荷依存性を示したものである。ボロンは処理温度に対しほぼ一定の低抵抗率を示し、リンは処理温度上昇に伴い抵抗率とそのばらつきが増加した。これはリンの poly-Si 膜粒界への偏析が熱処理で促進されたためと考えている。800 °C の熱処理でリン、ボロン共に抵抗率は最小となり、真性層への拡散も抑制できることがわかった。また本仕様の poly-Si pin ダイオードで相変化デバイスを書換えるのに十分なオン電流 10 MA/cm² と、オン/オフ比 6 桁が達成できることを確認した。

本報告は、経済産業省 (METI)、ならびに新エネルギー・産業技術総合開発機構 (NEDO) の委託を受けて超低電圧デバイス技術研究組合が実施した研究に関するものである。またデバイス試作で多大なご協力を賜りました産業技術総合研究所ナノデバイスセンター各位に感謝します。

[1] T. Morikawa, , et. al., IEDM Tech. Dig., 2012, pp737-740.

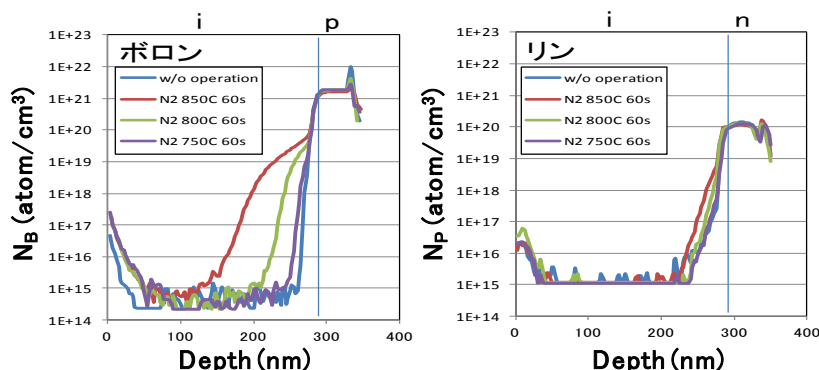


図 1 リン、ボロンの真性層への拡散 (SIMS 分析)

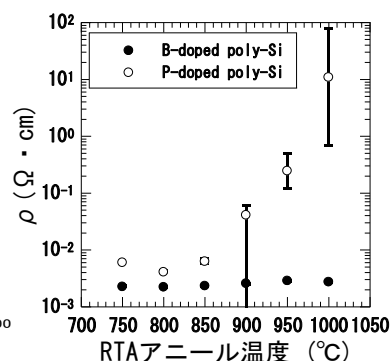


図 2 抵抗率の RTA 処理温度依存