19p-B4-18

タングステン内包 Si クラスター薄膜を用いた Ge との金属接合技術の開発

Low-contact resistance and Fermi-level depinning in metal/n-Ge junction by inserting

W-encapsulating Si clusters

筑波大院 電子・物理工¹, 産総研ナノエレ部門², 産総研³,

⁰岡田 直也^{1,2},内田 紀行²,金山 敏彦^{1,3}

Inst. of Appl. Phys. Univ. of Tsukuba¹, AIST-Nanoelectronics Research Institute², AIST³,

^oNaoya Okada ^{1, 2}, Noriyuki Uchida ², Toshihiko Kanayama ^{1, 3}

E-mail: okada-naoya@aist.go.jp

【背景】Ge-MOSFETの高性能化のためには、ソース/ドレイン 接合部における接触抵抗の低減が必要である。特に、n-Ge に対す る金属接合では、高いショットキー障壁が形成され、高い接触抵抗 を持つ。これは、金属と Ge との間で極めて強いフェルミレベルピ ンニングが生じるためである。これまでに、ピンニングの解除を目 的として、金属と Ge の間に絶縁体を挿入する技術が提唱されてい るが、挿入層(GeO^[1]、GeN^[2]、SiN^[3]など)が絶縁体であるために 接触抵抗低減に限界がある。我々は、挿入層の寄生抵抗が挿入層の トンネル抵抗に支配されていることに着目し、Ge とのバンドオフ セットが小さく、かつ化学的に安定な W 内包 Si クラスター(WSi_n) を単位構造とした Si 系アモルファス半導体膜を挿入層とするこ とで、接触抵抗の低減を試みた。

【実験及び結果】レーザーアブレーションで生成した W 原子 と SiH₄ ガス (50 Pa) との反応により WSi_nH_x クラスターを合成し ^[4]、Ge(111)基板上 (室温) に WSi_n 膜を形成した (厚さ~5 nm)。X 線光電子分光から見積もった Si 組成比は、n~14 であった。その 後、WSi_n 膜上に、仕事関数の異なる三種の W、Al、Ti (厚さ~100 nm)の電極をスパッタ法 (室温) で作製し、容量-電圧 (*CV*) 特 性から、ショットキー障壁高さを算出した。

図1に電極/WSi_n膜/n-Geのショットキー障壁高さと電極の仕事 関数の関係を示す。この関係の傾きSは、ピンニングの度合いを 示す。WSi_n膜を挿入しない電極/n-Geでは、Sの値は 0.02 と小さ く、強いピンニングを示す^[1]。一方、WSi_n 膜を挿入することで



図 2 接触抵抗とショットキー障壁高さの関係

S=0.65 を示し、ピンニングが解除された。図2に、接触抵抗のショットキー障壁高さ依存性を示 す。WSi_n膜を挿入した接合では、理想的な指数関数関係に一致した。一方で、上述の絶縁体挿入 技術⁽³⁾では、挿入層のトンネル抵抗が接触抵抗の低減を制限するため、理想関数から乖離する。 理想関数との一致は、WSi_n 膜が低いトンネル抵抗を持つことを示し、Ge との間で低いバンドオ フセットを形成していると考えられる。

【まとめ】

WSin 膜をGeと金属電極の接触界面に挿入することで、フェルミレベルピンニングを解除でき、 ショットキー障壁高さの低減に応じた接触抵抗の低減が可能である。

【参考文献】

[1] T. Nishimura, K. Kita, and A. Toriumi, Appl. Phys. Lett. 91, 123123 (2007).
[2] R. R. Lieten, S. Degroote, M. Kuijk, and G. Borghs, Appl. Phys. Lett. 92, 022106 (2008).
[3] M. Kobayashi, A. Kinoshita, K. Saraswat, H. –S. P. Wong, and Y. Nishi, Appl. Phys. Lett. 105, 023702 (2009).
[4] N. Uchida, H, Kintou, Y. Matsushita, T. Tada, and T. Kanayama, Appl. Phys. Express 1, 121502 (2008).