

フロー・コーティング法で作製した高配向 TIPS-ペンタセン FET アレイの素子特性のばらつき

Device-to-device variance of TIPS-pentacene field-effect transistor arrays
fabricated by a flow-coating method

物材機構・高分子材料 [○]坂本謙二, ブルガレビッチ キリル, 三木一司

NIMS, Polymer Materials Unit [○]Kenji Sakamoto, Kirill Bulgarevich, Kazushi Miki

E-mail: SAKAMOTO.Kenji@nims.go.jp

有機半導体結晶を基板上に配向成長させることにより、有機電界効果トランジスタ (OFET) の高性能化、素子特性のばらつきの低減が達成できると期待される。溶液から有機半導体結晶を配向成長させるためには、コンタクト・ラインを移動させながら塗布することが有効である[1-5]。我々は、直線的なコンタクト・ラインの移動を簡便に制御できるフロー・コーティング法に注目している。前回、フロー・コーティング法を用いて形成した高配向 6,13-bis(tri-isopropylsilylethynyl) pentacene (TIPS-PEN) 薄膜を活性層とするボトムゲート/ボトムコンタクト (BG/BC) 型 OFET の素子特性を報告した[6]。今回、フロー・コーティング法によって形成した TIPS-PEN OFET アレイ (120 素子) の素子特性のばらつきを評価したので報告する。

熱酸化膜 (厚さ 93 nm) 付き n^+ -Si (100) 基板上に Ti (0.5 nm)/Au (29.5 nm) ソース・ドレイン電極を形成し、フェニルトリクロロシラン処理、ペンタフルオロベンゼンチオール処理を行った後、文献[6]に記載されている条件で TIPS-PEN 膜をフロー・コートし、BG/BC 型 OFET (チャンネル長 50 μm , チャンネル幅 0.5 mm) アレイを作製した (Fig. 1)。フロー・コーティング方向に対してチャンネル長方向が平行な素子と垂直な素子を各々 60 素子ずつ、計 120 素子作製した。平行素子、垂直素子ともに、ヒステリシスのない良好な p 型の FET 特性を示した。飽和領域における移動度の分布 (平均値 $\mu_{ave} \pm$ 標準偏差 σ) は、 $\mu_{//} = 0.51 \pm 0.03 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 、 $\mu_{\perp} = 0.12 \pm 0.03 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ であった。平行素子の相対標準偏差 (σ/μ_{ave}) は 6% であり、ばらつきが非常に小さいことが分かる。一方、垂直素子の相対標準偏差は 25% であり、平行素子に比べるとばらつきが大きい。この結果は、空間的に一様な高配向 TIPS-PEN 薄膜を形成するのにフロー・コーティング法が有効であることを示している。また、2次元 brick-wall stacking arrangement をとる有機半導体の場合においても、チャンネル長方向に対して結晶軸の配向を高度に制御することによってばらつきが少ない高移動度 OFET アレイが作製できることを示している。当日は、閾値電圧、サブスレッショルド・スイングのばらつきについても報告する。

【参考文献】 [1] Lee et al., Appl. Phys. Lett. **90**, 132106 (2007). [2] Headrick et al., Appl. Phys. Lett. **92**, 063302 (2008). [3] Tracz et al., J. Am. Chem. Soc. **125**, 1682 (2003). [4] Duffy et al., Chem. Mater. **20**, 7252 (2008). [5] Sele et al., Adv. Mater. **21**, 4926 (2009). [6] Sakamoto et al., Appl. Phys. Lett. **100**, 123301 (2012).

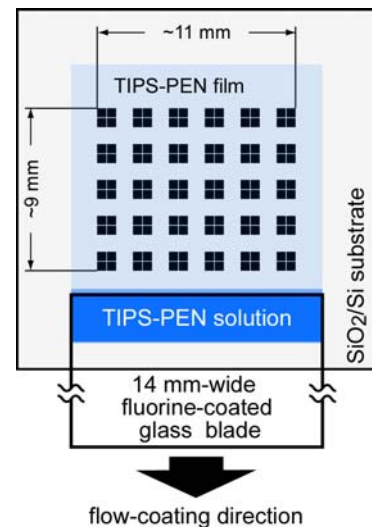


Fig. 1 TIPS-PEN OFET array fabricated by flow-coating