

ソースドレイン直接トンネリングによる III-V MOSFET の短チャネル化限界

Channel Length Scaling Limits of III-V Channel MOSFETs Governed By Source-Drain Direct Tunneling

神戸大工¹, 阪大工², JST CREST³ ○大森 正規¹, 木場 隼介¹, 前川 容佑¹, 土屋 英昭^{1,3},
鎌倉 良成^{2,3}, 森 伸也^{2,3}, 小川 真人¹

Kobe Univ.¹, Osaka Univ.², JST CREST³ ○Masaki Ohmori¹, Shunsuke Koba¹, Yōsuke Maegawa¹,
Hideaki Tsuchiya^{1,3}, Yoshinari Kamakura^{2,3}, Nobuya Mori^{2,3}, and Matsuto Ogawa¹

E-mail: 138t209t@stu.kobe-u.ac.jp

Si MOSFET の微細化が進むとチャネル方向の量子輸送効果が顕在化する恐れがある。例えばチャネル長が 6-8nm 程度以下にまで縮小されると、ソース・ドレイン直接トンネリング(SDT)によってサブスレッショルド特性が急激に劣化すると報告されている[1-4]。一方、MOSFET の高性能化に向けて、高電子移動度を有する III-V 族化合物半導体を MOS のチャネルに導入する研究が進められている。しかしながら III-V 族半導体は電子の有効質量が Si よりも大幅に軽い為、SDT 等の量子輸送効果が顕在化しやすくなり、Si MOSFET よりも長いチャネル長で量子輸送効果による性能劣化が起こり始める可能性がある。そこで本稿では、量子輸送効果とキャリア散乱を高精度に取り入れることができるウイグナーモンテカルロ(WMC)法[3,4]を用いて、極微細 III-V MOSFET での量子輸送効果の影響を系統的に検討した結果を報告する。

計算に用いたデバイス構造を Fig. 1 に示す。チャネル及びソース・ドレイン材料には、InP と In_{0.53}Ga_{0.47}As を採用した。各材料のバンド構造パラメータを Table I に示す。散乱機構はフォノン散乱(音響フォノン、非有極性フォノン、有極性フォノン)と不純物散乱を取り入れた。まず、InGaAs MOSFET の I_D-V_G 特性を Fig. 2 に示す。チャネル長は L_{ch} = (a)30 と (b)10 nm とした。量子輸送効果を見るために、量子輸送を無視した半古典 MC 法の結果も破線でプロットしている。L_{ch} = 30 nm の結果を見ると、SDT によるサブスレッショルド電流の増大は僅かであるが、L_{ch} = 10 nm では大幅に増大することが分かる。一方、オン電流はチャネル長に依らずほぼ一致していることから、III-V MOSFET では量子反射の影響は無視できると考えられる[5]。次に、SDT によるサブスレッショルド電流の増大が起こり始めるチャネル長を調べるために、しきい値電流増加量 (I_{th} increase) のチャネル長依存性を Fig. 3 に示す。同図には InP MOSFET の結果と、さらに比較のために、Si ナノワイヤ MOSFET の結果[2]も破線でプロットしている。III-V MOSFET では L_{ch} < 20 nm において SDT の影響が顕在化することが分かる。また、Table I に示すようにΓバレーの有効質量が軽い InGaAs MOSFET でより大きなサブスレッショルド電流の増大が確認できる。冒頭でも述べたが、Si MOSFET では Fig. 3 の破線で示すように凡そ 6-8 nm 以下の領域で SDT の影響が深刻になるのに対して、今回の III-V MOSFET の結果ではそれよりも約 3 倍長いチャネル長で SDT の影響が現われ始めている。したがって III-V MOSFET の微細化を推し進めるには、SDT を抑制するための対策が必要と考えられる[5]。

文献 [1] H. Kawaura et al., *APL* **76** (2000) 3810. [2] Y. Yamada et al., *IEEE-TEDE* **56** (2009) 1396. [3] D. Querlioz et al., *IEEE-TEDE* **54** (2007) 2232. [4] S. Koba et al., *SISPAD 2011*, pp.79-82. [5] S.Koba et al., *APEX* **6** (2013) 064301.

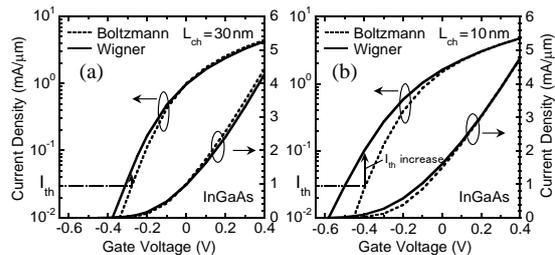


Fig. 2 I_D-V_G characteristics of InGaAs MOSFETs computed at V_D = 0.5 V for L_{ch} = (a) 30 and (b) 10 nm

Table I. Band parameters.

	Si	InP	In _{0.53} Ga _{0.47} As
mass (Γ)	-	0.082	0.046
mass (X)	m ₁ (m ₀)	0.19	0.273
	m ₂ (m ₀)	0.98	1.321
mass (L)	m ₁ (m ₀)	0.126	0.153
	m ₂ (m ₀)	1.634	1.878
nonparabolicity α (eV ⁻¹)	0.5 (X)	0.61 (Γ)	1.18 (Γ)
	0.3 (L)	0.49 (L)	0.43 (L)
		0.12 (X)	0.33 (X)
ΔE _{XL} (eV)	1.049	-	-
ΔE _{FL} / ΔE _{FX} (eV)	-	0.832 / 1.492	0.723 / 1.062
band gap (eV)	1.12	1.34	0.86
permittivity ε _r	11.9	12.6	14.1

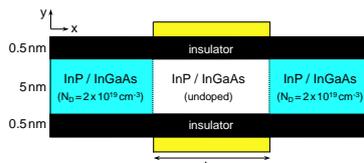


Fig. 1 Device structure. A double-gate structure was employed with a channel thickness of 5 nm and a SiO₂ gate oxide thickness of 0.5 nm.

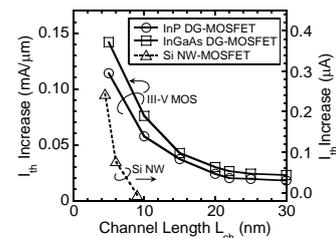


Fig. 3 L_{ch} dependence of I_{th} increase due to SDT. The result for GAA-Si nanowire MOSFETs [2] is also plotted for comparison.