

## 単層 MoS<sub>2</sub> チャンネルを用いた n-MOSFET の性能見積もり

### Performance Prediction on n-MOSFET using Single-Layer MoS<sub>2</sub> Channel

東工大工学部<sup>1</sup>, 東工大総理工<sup>2</sup>, 東工大フロンティア研<sup>3</sup> ○大橋匠<sup>1</sup>, 若林整<sup>2</sup>, 角嶋邦之<sup>2</sup>

杉井信之<sup>2</sup>, 西山彰<sup>2</sup>, 片岡好則<sup>2</sup>, 名取研二<sup>3</sup>, 筒井一生<sup>2</sup>, 岩井洋<sup>3</sup>

Tokyo Tech. ENG<sup>1</sup>, Tokyo Tech. IGSSE<sup>2</sup>, Tokyo Tech. FRC<sup>3</sup>, ○Takumi Ohashi<sup>1</sup>, H. Wakabayashi<sup>2</sup>,

K. Kakushima<sup>2</sup>, N. Sugii<sup>2</sup>, A. Nishiyama<sup>2</sup>, Y. Kataoka<sup>2</sup>, K. Natori<sup>1</sup>, K. Tsutsui<sup>2</sup>, and H. Iwai<sup>1</sup>

E-mail: ohashi.t.af@m.titech.ac.jp

#### 1. はじめに

Moore's Law に従った極微細 CMOS に向けて, 2D チャンネル MOSFET が有望視されている. 本研究では, 1.8 eV のバンドギャップを持ち[1], 移動度が 190 cm<sup>2</sup>/(V·s)[2]である MoS<sub>2</sub>に着目し, デバイスシミュレータを用いて n-MOSFET の性能を評価したので以下に報告する.

#### 2. 単層 MoS<sub>2</sub>FET のシミュレーション

Fig. 1 のように文献[2]を参考にエンハンスメントモードに設計した単層 MoS<sub>2</sub> FET の Drain Current – Gate Voltage 特性を Fig. 2 に示す. チャンネル膜厚が薄いことにより, Drain Induced Barrier Lowering (DIBL) が十分に抑制されていることがわかる. Fig. 3 に代表的な n-MOSFET のベンチマークデータとともに, MoS<sub>2</sub> FET の Delay Time – Gate Length 特性を示す. 同図より, 層状 MoS<sub>2</sub>を用いることによって微細化を促進できると仮定すると, 移動度の向上と寄生抵抗の低減により, 既存の微細 CMOS デバイスと同等の性能を実現できる可能性があることがわかる. 今後の研究開発の促進が望まれる.

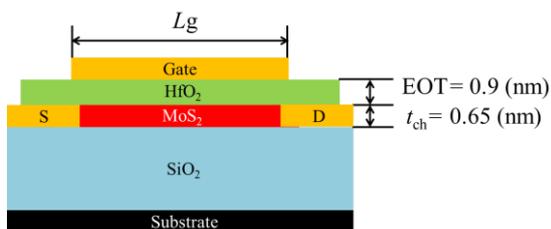


Fig. 1: Structure of single-layer MoS<sub>2</sub> FET.

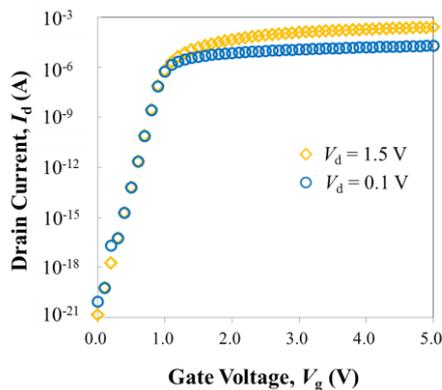


Fig. 2: Drain current – gate voltage characteristics of MoS<sub>2</sub> FET. L<sub>g</sub> = 400 nm.

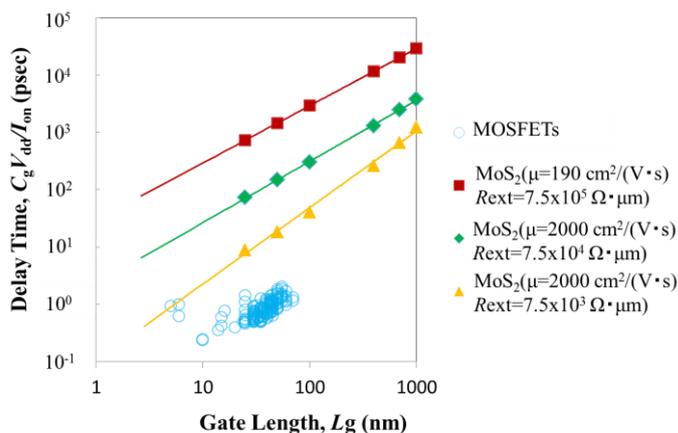


Fig. 3: Delay time - gate length characteristics of MoS<sub>2</sub> n-MOSFET compared to reported n-MOSFETs[3].

謝辞 デバイスシミュレーションには Silvaco 社の Atlas を用いた.

#### 文 献

- [1] Y. Yoon, *et. al.*, *Nano Lett.* 2011, **11**, 3768.
- [2] H. Wang, *et. al.*, *IEDM* 2012, 88-91.
- [3] 若林整, 応用物理 82 巻 4 号 p.292 (2013).