

MOS 界面における変位ポテンシャル上昇が超薄膜チャネル MOSFET のドレイン電流に与える影響

Effect of Deformation Potential Increase at MOS Interfaces on Drain Current of Ultrathin Channel MOSFETs

神戸大工¹, 阪大工², JST CREST³ ○木場 隼介¹, 石田 良馬¹, 久保田 結子¹, 土屋 英昭^{1, 3},
鎌倉 良成^{2, 3}, 森 伸也^{2, 3}, 小川 真人¹
Kobe Univ.¹, Osaka Univ.², JST CREST³ ○Shunsuke Koba¹, Ryoma Ishida¹, Yuko Kubota¹,
Hideaki Tsuchiya^{1, 3}, Yoshinari Kamakura^{2, 3}, Nobuya Mori^{2, 3}, Matsuto Ogawa¹
E-mail: 108t224t@stu.kobe-u.ac.jp

音響フォノンの変位ポテンシャル(D_{ac})はデバイス特性を決める重要なパラメータであり、バルク Si では $D_{ac}=9.0-9.5$ eV という値が知られている。しかし 2 次元電子ガスにおいては D_{ac} の挙動は複雑化し、この値では MOS 反転層移動度のユニバーサル特性は再現することができず、これまでは実験結果に一致するように $D_{ac}=12-13$ eV という値が用いられてきた。最近、この D_{ac} の値が Si/SiO₂ 界面で急激に上昇するというモデルが提案され、SOI-MOSFET の移動度の SOI 膜厚依存性がこのモデルによって説明できるという報告がなされている[1, 2]。本稿では、この D_{ac} の MOS 界面での上昇が超薄膜チャネル MOSFET のドレイン電流特性に与える影響についてモンテカルロ法を用いて検討した結果を報告する。

計算はダブルゲート(DG)構造 MOSFET に対して行い、散乱機構は音響フォノン、光学フォノン、イオン化不純物及び界面ラフネスによる散乱を考慮した。 D_{ac} の位置変化を考慮したモデル(vD_{ac})と、従来の D_{ac} を一定値として扱うモデル(cD_{ac})の両者を音響フォノン散乱レートに取り入れてモンテカルロ計算を行った。Fig. 1 に DG MOSFET の I_D-V_G 特性をチャネル膜厚 T_{Si} を変化させて計算した結果を示す。(a) $T_{Si}=6$ nm の場合には、電流値はどちらの手法でもほぼ同様の値が得られる一方で、(b)のように $T_{Si}=3$ nm まで薄層化されると、 vD_{ac} モデルでは電流値が約 7%低下することが確認できた。すなわち vD_{ac} の影響は数 nm 厚の超薄膜チャネル MOSFET において無視できなくなると考えられる。これは Fig. 2 に示すように、 $T_{Si}=3$ nm では D_{ac} の値がチャネル全域に渡って従来の cD_{ac} モデルの値($D_{ac}=13$ eV)よりも大幅に上昇することから理解することができる。そこで、この vD_{ac} のチャネル内平均値を計算し T_{Si} の関数としてプロットすると Fig. 3 の結果が得られた。我々はこの結果より、 vD_{ac} の平均値は次式で近似できることを見出した。

$$vD_{ac} = 11.0 \exp(-T_{Si}/3.5 \text{ nm}) + 12.0 \text{ (eV)} \quad (1)$$

実際にこの式を用いて $T_{Si}=3$ nm での D_{ac} の平均値を求めると 17 eV という値が得られ、この値を用いて I_D-V_G 特性を計算し直すと、Fig. 1(b)の黒破線のように vD_{ac} モデルに一致する結果を得ることができた。また Fig. 3 より膜厚が 6 nm 以下に薄層化されると vD_{ac} と cD_{ac} の誤差が 10%以上になり、電流に与える影響が無視できなくなることが分かる。

文献 [1] T. Ohashi et al, *IEDM Tech. Dig.*, p. 390, 2011. [2] T. Ohashi et al, *SSDM 2012*, p. 807, 2012.

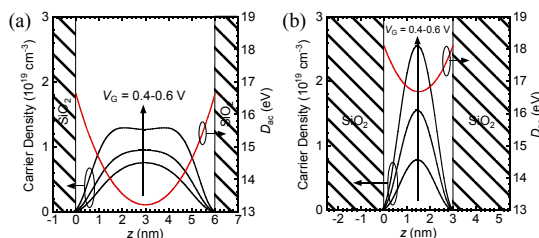


Fig. 2. Deformation potential and electron density profiles along the confinement direction for T_{Si} = (a) 6 and (b) 3 nm, where the data were extracted in the center of the channel along source-drain direction.

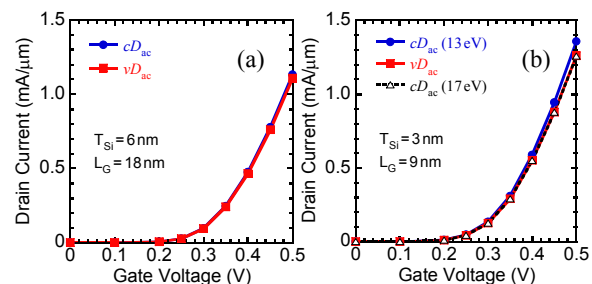


Fig. 1. I_D-V_G characteristics computed at $V_D = 0.5$ V for DG-MOSFETs with (a) $T_{Si} = 6$ nm and $L_G = 18$ nm, and (b) $T_{Si} = 3$ nm and $L_G = 9$ nm.

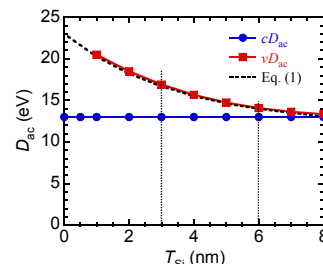


Fig. 3. T_{Si} dependency of vD_{ac} value for $V_G = 0.5$ V. Blue solid and red solid lines correspond to cD_{ac} (13 eV) and the expectation value of vD_{ac} for the lowest subband, respectively. Black dashed line represents eq. (1).