

コア-シェルゲート構造によるショットキー障壁トンネル FET の特性改善

Performance Enhancement of Schottky Barrier Tunnel FET with Core-Shell Gate Structure

早大理工¹ 早大ナノ機構² ○橋本 修一郎¹, 鹿浜 康寛¹, 渡邊 孝信^{1,2}Waseda Univ.¹ Waseda INN.² ○S. Hashimoto¹, Y. Shikahama¹ and T. Watanabe^{1,2}

E-mail: hashimoto@watanabe.nano.waseda.ac.jp

【はじめに】CMOS デバイスのスケーリング限界を克服する新原理デバイスとして、ショットキー障壁を介したトンネル電流をゲートで制御する Schottky Barrier Tunneling FET(SBTfET)が提案されている[1]。これまで我々は All-Around Gate 型の SBTfET(AAG-SBTfET)の特性を TCAD シミュレーションで解析し、チャネル径の縮小に伴い電流密度とサブスレッショルド特性が向上することを報告した[2]。今回、我々はナノワイヤ Si チャネルの中心軸にゲート電極を配置するコア-シェルゲート構造[3]を SBTfET に適用し、同構造がデバイス特性に与える影響を調査した。

【計算方法】図 1 に計算に用いた円筒形 SBTfET モデルを示す。インナーゲートとアウターゲートを持つ Core-Shell Gate 型の SBTfET(CSG-SBTfET)と、アウターゲートのみの AAG-SBTfET の 2 種類のデバイスモデルを用意し、Silvaco 社製 ATLAS を用いて I_D - V_G 特性を計算した。トンネル電流は UST(Universal Schottky Tunnel)モデル[4]より計算を行った。

【結果と考察】図 2 に CSG-SBTfET と AAG-SBTfET の I_D - V_G 特性を示す。縦型 FET として使用することを想定し、電流値はチャネル断面積で規格化されている。インナーゲートを配置するとチャネル断面積は減少するにもかかわらずオン電流の電流密度は CSG-SBTfET の方が大きく、更にオフリーク電流も減少することが確認された。これはアウターとインナーにゲートを配置することでゲートの制御性が増すと共に、ソース/チャネル間のトンネル障壁が最も薄くなるゲート絶縁膜との界面の面積が増加したためと考えられる。講演当日は、同一のフットプリントに対して電流密度を最大化する最適サイズを明らかにし、両デバイスモデルの得失を議論する。

【謝辞】本研究は科学研究費補助金・基盤研究 B の支援を受けて行われた。

【参考文献】[1] R. Jhaveri et al., IEEE Trans. Elec. Dev. 56, 93 2009. [2] 鹿浜康寛他, 第 58 回春季応用物理学会学術講演会, 講演予稿集, 26p-KD-8, 2011.[3] Hossain M. Fahad et al., Nano Lett. 2011, 11, 4393-4399.[4] M. Jeong et al., IEDM 1998, 733-736.

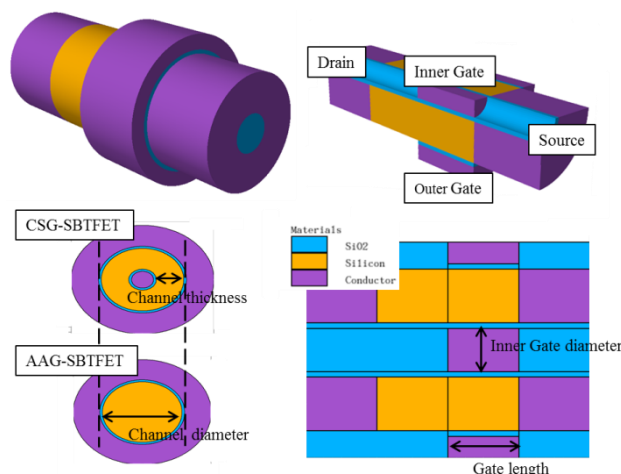
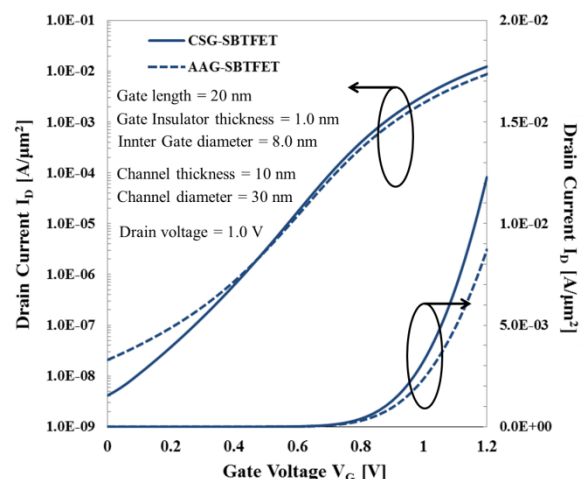


図 1. CSG-SBTfET と AAG-SBTfET のデバイスモデル

図 2. SBTfET の I_D - V_G 特性