

Si/SiGe 系 MOS 構造量子ポイントコンタクトの特性評価

Characterization of MOS Si/SiGe Quantum Point Contact

東工大量子ナノ研セ¹, 東大ナノ量子機構², さきがけ-JST³, 東大工⁴, 理化学研究所⁵○神岡 純¹, 小寺 哲夫^{1,2,3}, 武田 健太⁴, 小幡 利顕⁴, Waseem. M. Akhtar⁴, 樽茶 清悟^{2,4,5}, 小田 俊理²QNERC, Tokyo Tech.¹, NanoQuine, the Univ. of Tokyo², PRESTO-JST³, The Univ. of Tokyo⁴, RIKEN⁵○Jun Kamioka¹, Tetsuo Kodera^{1,2,3}, Kenta Takeda⁴, Toshiaki Obata⁴, Waseem. M. Akhtar⁴,Seigo Tarucha^{2,4,5} and Shunri Oda¹

E-mail: kamioka.j.aa@m.titech.ac.jp

【背景】量子情報処理の実現を目標として、半導体の量子ドット内に閉じ込めた電子のスピンの向きの重ねあわせを利用した量子ビットが注目されている。Si 系材料では、核スピンの少ないこととスピン軌道相互作用が小さいことから、情報処理に必要とされる長いコヒーレンス時間が期待されており、Si 系量子ドットの電子スピン量子ビットは非常に有力な候補となっている。Si/SiGe 系変調ドーピング基板を用いたゲート形成量子ドットは高い操作性を持っているが、電荷状態に影響を及ぼすヒステリシスや電荷ノイズなどの問題がある。本研究ではヒステリシスの改善、電荷ノイズの低減を目指したプロセス、構造を目指し、実際に作製したデバイスの特性評価を行う。

【実験・結果】本研究においては、変調ドーピングによって基板表面から深さ 60nm 程度の部分にある歪み Si 層に 2DEG(2-Dimensional Electron Gas)をもつ基板を用いる (図-1)。基板上に HfO₂ を堆積し、その上に Ti/Au 微細ローカルゲートを電子線リソグラフィによって作製する。このローカルゲートに負のバイアスを印加し 2DEG の電子を空乏化させることで、量子ポイントコンタクト(QPC)を形成する。また、微細構造ゲート作製後さらに HfO₂ を堆積し、量子ドット直上を覆う Ti/Au グローバルゲートを作製する。グローバルゲートに負のバイアスを印加することによって、2DEG の電子密度を変調し、ローカルゲートのピンチオフ電圧を低くすることができる。作製したデバイス(図-2)の QPC 特性にはヒステリシスがあったが、300℃、窒素雰囲気下でアニールすることによって大幅に低減することが出来た (図-3)。また、グローバルゲートによって電荷ノイズを減少させることに成功した。

【謝辞】本研究は、科研費 (24102703)、矢崎財団、文部科学省イノベーションシステム整備事業、JST-さきがけ、最先端研究支援プログラムの助成の基に遂行された。

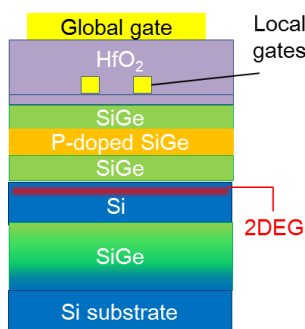


図-1 Si/SiGe 変調ドーピング基板

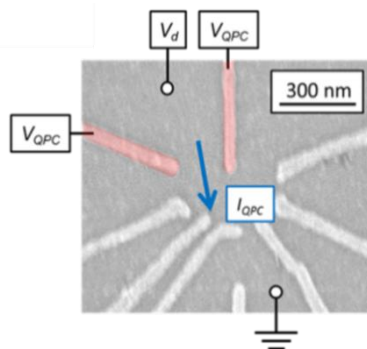


図-2 走査型電子顕微鏡画像

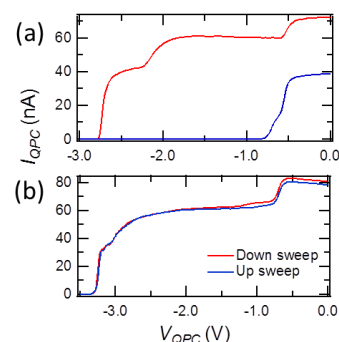


図-3 (a)アニールなし、(b)ありの場合の QPC 特性