

二重量子ドット Si 単電子トランジスタにおける 少数電子系の結合容量の評価

The change of the capacitive coupling of double quantum dot Si single-electron transistor in few electron regime

北大院情報¹, NTT 物性基礎研²

○内田 貴史¹, 吉岡 勇¹, 有田 正志¹, 藤原 聡², 高橋 庸夫¹

IST, Hokkaido Univ.¹, NTT Basic Research Labs.², ○Takafumi Uchida¹,

Isamu Yoshioka¹, Masashi Arita¹, Akira Fujiwara², Yasuo Takahashi¹

E-mail: takafumi-uchida@frontier.hokudai.ac.jp

1.はじめに 量子情報処理へ向けた技術として二重量子ドットデバイスが期待されている。このデバイスは量子ドット間の結合状態の制御が重要である。前回、マルチゲート二重量子ドット Si 単電子トランジスタ (DQD Si-SET) を作製し、量子ドット中の電子数が増加することで 2 つの量子ドット間の結合容量が増加することを報告した^[1]。今回、電子数が少ない領域 (少数電子系) においては結合容量が不規則に変化することを見出したので報告する。

2.実験方法 DQD Si-SET はパターン依存酸化(PADOX)法^[2]を用いて作製した。SOI 基板上的 Si 層を EB リソグラフィーとドライエッチングにより幅 40 nm, 長さ 160 nm, 厚さ 25nm の Si 細線に加工し、これを 1000℃ のドライ酸化によって Si 細線の両端にトンネルバリアと細線に細長いクーロン島(QD)が形成される。ここで、細線長が長い場合には細線幅の揺らぎにより細線が細くなっている部分にトンネルバリアが形成され、DQD の形成される可能性がある。酸化後、Si 細線上に P ドープポリ Si からなる微細ゲート電極(GA, GB)を取り付け、さらにこの上に層間絶縁膜を介して、素子全体を覆うように上層ゲート電極 G_{top} を取り付けた。GA, GB の幅は 40nm, 間隔は 40nm である。約 8K においてゲート電極 G_A, G_B に印加する電圧 V_A, V_B を変化したときのドレイン電流 I_d から結合容量を評価した。

3.実験結果 Fig. 1 にこのデバイスの等価回路の模式図を示す。G_A 側の QD を QD1, G_B 側を QD2 とし、結合容量を C₁₂, それぞれの電子数を(n, m)とした。Fig. 2 (a) ~ (c) は V_A, V_B を変化したときの I_d の等高線をプロットし、電荷三重点を点線でつないだ図である。図の V_A, V_B に対する対称性から、微細ゲート電極(GA, GB)は、2 個のドット QD1, QD2 のほぼ直上に近い位置に配置されていることがわかる。それぞれ QD1, 2 中の電子数はおよそ(a)は(60, 60), (b)は(50, 50), (c)は(10, 40)である。図から(a)は強結合状態、(b)は弱結合状態であることがわかる。これは、電子数の減少により実効的な QD の大きさが小さくなり結合が弱くなったと考えられる。しかし、さらに電子数を減少したにも関わらず(c)において強結合状態が見られる。これは、QD2 の電子数が 10 個と非常に少ないため、電子 1 個の変化により QD 中の電子配置が大きく変化し実効的な QD 間の結合(C₁₂)が電子数に応じて不規則に変化していると考えられる。

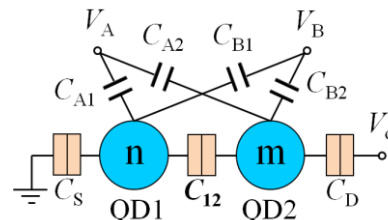


Fig. 1. Equivalent circuit model of the DQD device.

[1] 内田他、第69回応用物理学関係連合講演会(2013春)29p-G9-5

[2] Y. Takahashi et al., Electron. Lett., **31**, 136 (1995).

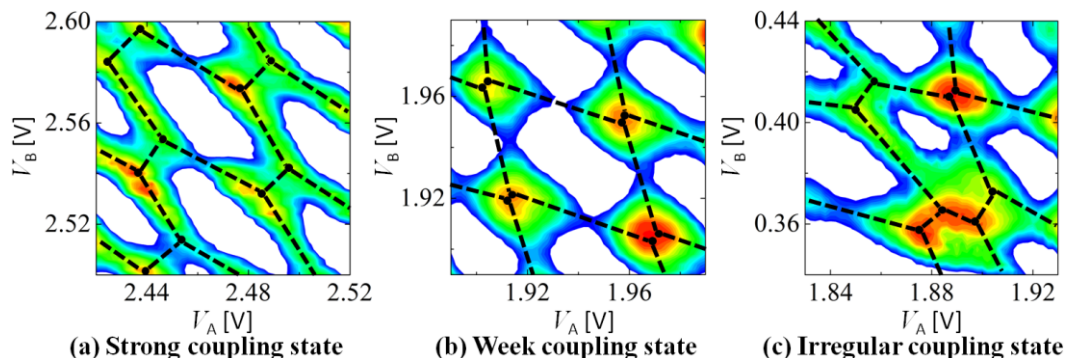


Fig. 2. Measured stability diagram shown by the use of contour plot of drain current I_d.