

Tunnel FET の離散不純物バラツキに関する検討

On the discrete dopant effects of tunnel FETs

○福田浩一, 森貴洋, 水林亘, 森田行則, 田邊顕人, 昌原明植, 安田哲二, 右田真司, 太田裕之
産総研 連携研究体グリーン・ナノエレクトロニクスセンター (GNC)

○K.Fukuda, T.Mori, W.Mizubayashi, Y.Morita, A.Tanabe, M.Masahara, T.Yasuda, S.Migita, H.Ota
Green Nanoelectronics Collaborative Research Center (GNC), AIST

CMOS を越える低消費電力 LSI を目指した急峻なスイッチングデバイス(Steep Slope)として、Tunnel FET(TFET)が期待されている。TFET はゲート電圧でソース・ゲートオーバーラップ部分のエネルギーバンドを急峻に曲げることにより、バンド間トンネルを誘起して電流を流すため、ソース不純物濃度の影響を強く受ける。微細 MOSFET ではチャネル不純物の離散性が電気特性に重大な影響を及ぼすことが知られているが、TFET はソース不純物の離散性によりばらつきが生じ、低電圧化にとって重大な課題になることが懸念され、シミュレーションによる予測が必要となる。

シミュレーションには 3 次元 TCAD システム HyENEXSS[1]を用い、デバイスシミュレーションは古典的な Drift Diffusion モデルで計算した。不純物の離散性は①点電荷として扱う方法[2]、②遮蔽クーロン力の長距離成分として扱う方法[3]、③Cloud in Cell(CIC)法[4]等が提案されており、これらの設定方法を試すために独自プログラムで不純物分布を設定した。TFET のデバイス特性の計算には、筆者等が開発した非局所バンド間トンネルモデル[5]を用いた。

Fig.1 はソース濃度 $1.25 \times 10^{20} \text{ cm}^{-3}$ の電子濃度を 5 \AA のメッシュで①～③のモデルで計算した一例である。①の点電荷では局所的に高濃度となり、②は電荷を広げているため最も緩和されている。電流値 $0.1 \text{ pA}/\mu\text{m}$ で定義した閾値電圧 V_t バラツキのゲート幅依存の比較を Fig.2 に示す。モデル②によるバラツキは①と③の間だが、ゲート幅 64 nm における σV_t が 10 mV 程度と予測された。但しこの値は領域内に入る不純物数は常に同じとしており、純粋に位置の違いだけによるバラツキである。Fig.3 はそのときの $I_d V_g$ 特性を重ねたものである。低電圧を目指す TFET にとってソース不純物離散性の影響は検討すべき課題である。

本研究は、政府の最先端研究開発支援プログラムにより、助成されたものです。

[1] HyENEXSSTM [2] Asenov *et al.*, IEEE-TED, 48, p.722, 2001. [3] Sano *et al.*, IEDM2000, p.276.

[4] Asenov *et al.*, SISPAD2002, p.87. [5] Fukuda *et al.*, SISPAD2012, p.284.

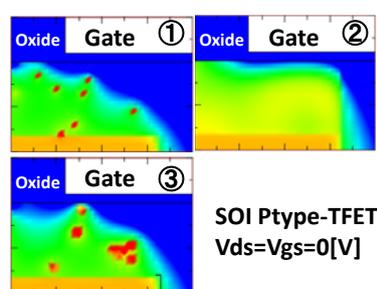


Fig.1 Electron distributions of each models.

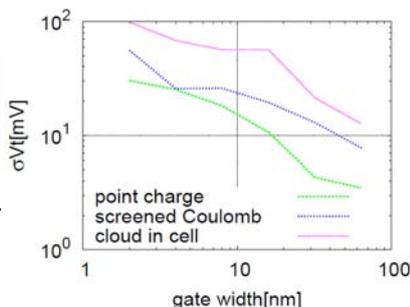


Fig.2 Gate width dependencies of V_{th} variabilities.

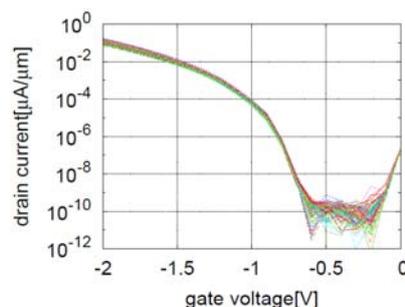


Fig.3 I_d - V_g curves by screened Coulomb for W_{gate} of 64 nm .