

低バンドギャップ、バンドオフセットを持つ 半導体シリサイド/Si 接合によるトンネル FET 特性向上

Improvement of tunnel FET performance using

narrow bandgap semiconductor silicide /Si hetero-structure source electrode

東工大フロンティア研¹, 東工大総理工² ○ 長谷川明紀¹, 呉研¹, 宋 祺漢¹, 角嶋邦之²,
片岡好則², 西山彰², 杉井信之², 若林整², 筒井一生², 名取研二¹, 岩井洋¹

Tokyo Tech. FRC¹, IGSSE² ○ H.Hasegawa¹, Y.Wu¹, J.Song¹, K. Kakushima²,
Y.Kataoka², A. Nishiyama², N. Sugii², H. Wakabayashi², K. Tsutsui², K. Natori¹, H. Iwai¹

E-mail: hasegawa.h.af@m.titech.ac.jp

【はじめに】従来のソース・チャネル間に熱放出注入を用いた MOSFET ではサブスレッショルド係数(S 値)は室温では 60mV/dec.が下限値となっている。トンネル FET は P-N 接合面のバンド間トンネル注入を用いることでこの下限値を突破することが実現されている。しかし、高いトンネル抵抗により高オン電流が得られないことが問題となっている[1]。そこで本研究では Si よりも狭いバンドギャップを持つ半導体シリサイド (Mg₂Si) と Si とのバンドオフセットを有するヘテロ接合をソースに用いた構造を提案し、そのトンネル FET の特性を評価した。

【デバイス設計】P 型 Mg₂Si/N 型 Si 接合のフラットバンド状態と V_G印加時のゲート絶縁膜直下のバンドを図 1 を示す。Mg₂Si は Si と比べて 0.42eV の E_C のバンドオフセット[2]、0.77eV のバンドギャップ[3,4]を有している。シミュレーションに用いた MOSFET 構造 (図 2) は、完全空乏を期するため BOX 層を 900nm、SOI 層を 100nm とした、また酸化膜として理想的な SiO₂ (T_{OX})0.3nm を想定し、金属の仕事関数は 4.8eV とした。リファレンス構造ではソースに Si を用い、アクセプタ濃度を 5×10²⁰cm⁻³ と設定した。

【シミュレーション結果】Fig.3 にゲート長 102nm の FET のシミュレーション結果の I_{DS}-V_G 特性を示す。p-Mg₂Si/Si では 76.6 mV/dec.オン電流は 4.91×10⁻⁶A/μm 。p-Si/Si では 93.8 mV/dec.オン電流は 2.79×10⁻⁹ A/μm であった。p-Mg₂Si/Si 接合の方が S 値、オン電流ともに改善されておりバンド間トンネルの抵抗値を低減させていることを示している。

【参考文献】

- [1] T. Krishnamohan, et al., IEDM Tech. Dig. 2008 P.947
- [2] Atanassov, A., and M. Baleva, Thin solid films. 515.5 (2007): 3046-3051.
- [3] T. Kato, et al., J. Appl. Phys. 110, 063723 (2011)
- [4] J.L. Corkill, M.L. Cohen, Phys. Rev. B48 (1993) 17138.

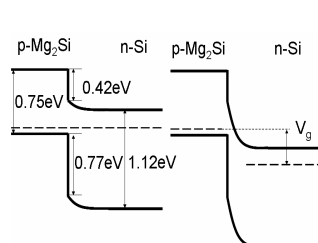


Fig.1 : Band structure of source – channel

Mg₂Si/Si hetero junction under
flatband(Left) and a certain V_G
condition(right)

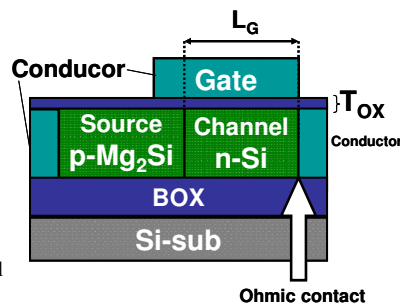


Fig. 2: Structure of sample used in
simulation

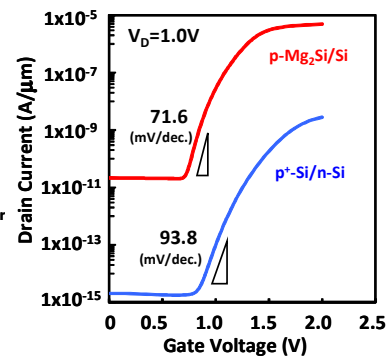


Fig.3: Tunnel FET Drain current - Gate
voltage characteristics with Mg₂Si/Si
and Si/Si in source to channel junction.