19p-D7-4

高電流密度化にむけた InP ソースを有する III-V-OI InGaAs MOSFET のチャネル厚依存性

Channel thickness dependence on III–V–OI InGaAs MOSFET with n-InP source for high current density

[1]東工大理工　○大澤一斗[1]，加藤淳[1]，佐賀井健[1]，金澤徹[1]，上原英治[1]，宮本恭幸[1]

[1]Tokyo Tech　○K. Ohsawa[1], A. Kato[1], T. Sagai[1], T. Kanazawa[1], E. Uehara[1] and Y. Miyamoto[1]

E-mail: ohsawa.k.ac@m.titech.ac.jp

1.はじめに InGaAs MOSFET は低電源電圧下における高電流密度を実現する可能性を持っている。最近、我々は 5nm 厚の InGaAs チャネルを持つ III-V-OI InGaAs MOSFET を作製し、チャネル長 45nm において短チャネル効果の抑制を観測した[1]。しかし低電源電圧下のドレイン電流密度は、高濃度の n-InP ソースを用いた[2]にもかかわらず、低下してしまった。本研究では高電流密度化にむけてチャネル厚を 10nm 厚に増やした Si 基板上 InGaAs MOSFET を作製し、2.03 A/mm @ V_D=0.5 V を達成した。

2.作製プロセス 作製プロセスは以前報告したもの[1]とほとんど変わらない。初めに、n-InP 基板上に 5nm i-InP バリア/10nm i-InGaAs チャネル/60nm n^+-InP $2\times10^{19}cm^{-3}$ ソース/10nm n^+-InGaAs $2\times10^{19}cm^{-3}$ コンタクト/20nm i-InP エッチストップ/200nm i-InGaAs エッチストップ を MOVPE を用いて成長する。2nm 厚の Al_2O_3 と 200nm 厚の SiO_2 を堆積した後、1.1 μm 厚の BCB 接着層を用いて Si 基板上に貼り付け、InP 基板とエッチストップ層を除去する。S/D 電極 Ti/Pd/Au を蒸着後、コンタクト層と n-InP 層を除去する。ALD を用いて 5nm 厚の Al_2O_3 ゲート絶縁膜を堆積し、ゲート電極 Ti/Au を蒸着する。最後に素子分離、電極窓開けを行う。

3. 結果 チャネル厚 10nm、チャネル長 50nm の Si 基板上素子において最大ドレイン電流密度 2.03 A/mm @ V_D=0.5 V、伝達コンダクタンスのピーク 1.4mS/μm@ V_D=0.5 V を達成した。 Fig.1-3 に示すようにチャネル長依存性が観測された。Fig.1,2 は(a)チャネル厚 5nm の Si 基板上 InGaAs MOSFET[1]と(b)チャネル厚 10nm の Si 基板上 InGaAs MOSFET を，Fig.3 は加えて(c)チャネル厚 12nm の p-InP 基板上 InGaAs MOSFET[2]を比較した。(a),(b)の素子は 5nm 厚の Al_2O_3 ゲート絶縁膜，(c)は 10nm 厚の Al_2O_3 ゲート絶縁膜を用いた。Fig.1, 2 はチャネル厚が大きくなるほどドレイン電流密度と伝達コンダクタンスが増大することを示している。Fig.3 に示すように、チャネル厚を増大させても、しきい値の低下は観測されなかった。

4. 謝辞 本研究は日本学術振興会科研究費及び総務省 SCOPE の助成を得た。

5. 参考文献

[1] A. Kato et al, IPRM 2013, WeD1-2.
[2] Y. Yonai et al, IEDM 2011, pp. 307–310.

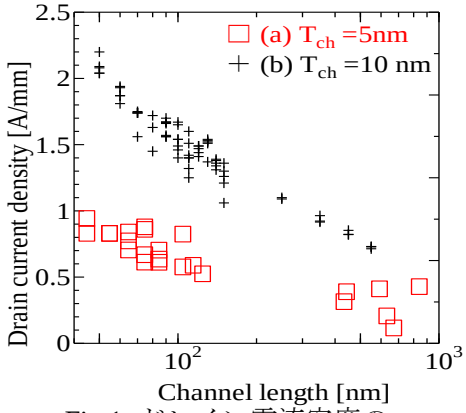

Fig.1 ドレイン電流密度のチャネル長依存性

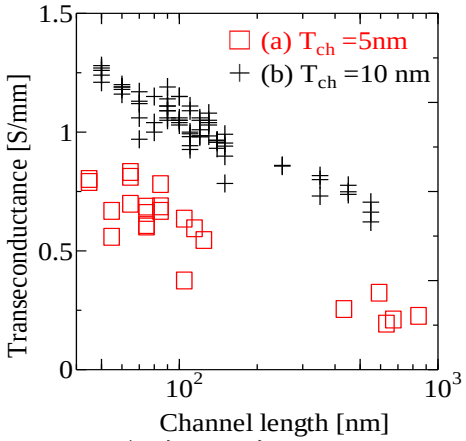

Fig.2 伝達コンダクタンスのチャネル長依存性

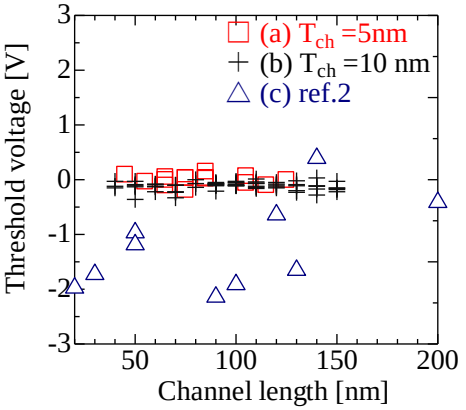

Fig.3 しきい値電圧のチャネル長依存性

© 2013 年　応用物理学会