

SiN/SiO₂ サイドウォールプロセスを用いた $f_t > 500\text{GHz}$ InP/InGaAs HBT 技術

Over 500-GHz f_t InP/InGaAs HBT technology using a SiN/SiO₂ sidewall process

日本電信電話株式会社 NTT フォトニクス研究所

○柏尾典秀, 栗島賢二, 井田実, 松崎秀昭

NTT Photonics Laboratories, ○Norihide Kashio, Kenji Kurishima, Minoru Ida, Hideaki Matsuzaki

E-mail: kashio.norihide@lab.ntt.co.jp

【はじめに】InP/InGaAs ヘテロ接合バイポーラトランジスタ(InP/InGaAs HBT)の高電流利得化・高信頼化には、レッジ形成が不可欠である。これまで我々はレッジ構造を備えた $0.25\mu\text{m}$ InP/InGaAs HBT を開発し、50 以上の高い電流利得を実現してきた。しかしながら、これまで我々の HBT ではベース電極が非自己整合法により形成されているため、ベース・コレクタ容量が大きく、 f_t が 450GHz 程度に律則されていた[1]。そこで、今回我々は高い電流利得を維持しつつ、高周波特性を向上させることを目的として、SiN/SiO₂ サイドウォールプロセスを用いた $0.25\mu\text{m}$ InP/InGaAs HBT を開発したので報告する。

【デバイス構造】図 1 に作製した HBT の断面図を示す。本試作では、 n^+ -InGaAs エミッタコンタクト層、10nm InP エミッタ層、15nm p^+ -InGaAs ベース層 ($6 \times 10^{19}\text{cm}^{-3}$)、75nm InGaAs/InAlGaAs/InP コレクタ層で構成される MBE 成長の HBT 構造を用いた。本デバイスの特長は、 $0.25\mu\text{m}$ エミッタメサに堆積された SiN と SiO₂ の間にアンダーカットを設け、 $0.2\mu\text{m}$ 幅の微細なベース電極をレッジ構造に対して自己整合的に形成している点である。これにより、ベース・コレクタメサ幅を $1.2\mu\text{m}$ から $1.0\mu\text{m}$ へ縮小し、従来構造に対し、30%のコレクタ容量低減に成功した。

【試作結果】図 2 に I-V 特性を示す。良好なターンオン特性を示し、 $15\text{mA}/\mu\text{m}^2$ 以上のコレクタ電流密度(J_c)動作が確認された。また、 $J_c=3\text{mA}/\mu\text{m}^2$ 以上で 50 以上の電流利得が得られており、InP レッジ構造によりベース層表面再結合電流が抑制されていることを示唆している。図 3 に電流利得および単方向電力利得の周波数依存性を示す。 $J_c=16\text{mA}/\mu\text{m}^2$ において、 $f_t=505\text{GHz}$ の優れた高周波特性を達成した。ベース電極の微細化によるコレクタ容量低減がこの f_t の向上に寄与していると考えられる。以上の結果より、本 SiN/SiO₂ サイドウォールプロセスは、高電流利得と高周波動作に優れた微細エミッタ InP/InGaAs HBT 作製に非常に有用であると言える。[1] N. Kashio et al, Jpn. J. Appl. Phys., vol. 49, pp. 04DF02-1-5, 2010.

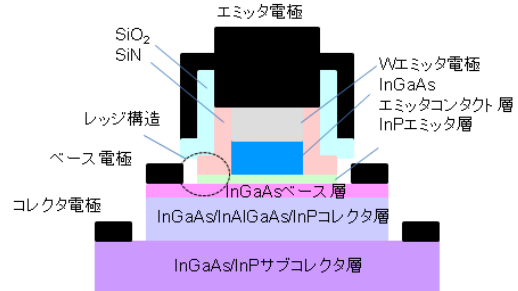


図 1 作製した HBT の断面図

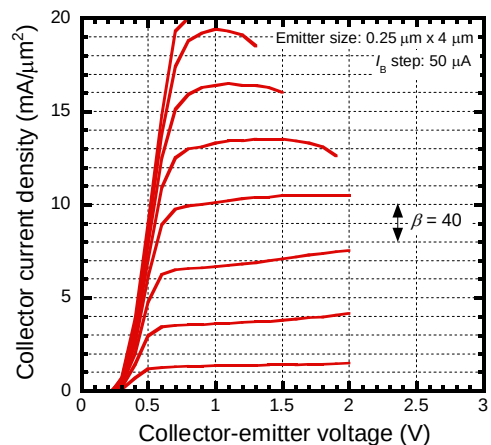


図 2 I-V 特性

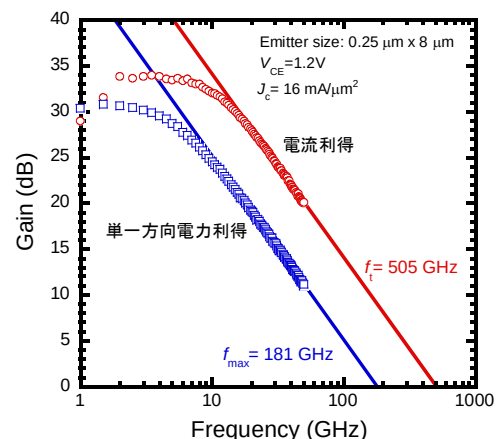


図 3 電流利得と単方向電力利得の周波数依存性