

微細径 Ge/Si コアシェルナノワイヤの作製と評価

Fabrication and characterization of narrow Ge/Si Core/Shell Nanowires

東工大量子ナノ研セ¹, 東大ナノ量子機構², さきがけ-JST³○野口 智弘¹, 小寺 哲夫^{1,2,3}, 小路 智也¹, Marolop Simanullang¹, 宇佐美 浩一¹, 河野 行雄¹,
小田 俊理¹QNERC, Tokyo Tech.¹, NanoQuine, the Univ. of Tokyo², PRESTO-JST³,○Tomohiro Noguchi¹, Tetsuo Kodera^{1,2,3}, Tomoya shoji¹, Marolop Simanullang¹,Koichi Usami¹, Yukio Kawano¹, Shunri Oda¹

E-mail: noguchi.t.ab@m.titech.ac.jp

【はじめに】 近年、Ge/Si コアシェルナノワイヤ(以下、Ge/Si NW) の作製及び評価が盛んに進められている[1]。Ge/Si NW は Ge Nanowire (以下、Ge NW)を Si でコーティングした同心円状の構造となっており、バンド構造上 Ge の正孔操作になるため、外部からの表面散乱が避けられる。また、ドーピングを行わない Ge 及び Si を用いれば不純物散乱も避けられる。われわれは、直径 3.3nm という世界最小のコア径を有する Ge/Si NW を作製したので報告する。

【実験】 金を触媒に気相-液相-固相成長法で Ge NW の作製を行った。金触媒は電子ビーム蒸着器を利用している (Fig.1 inset)。LPCVD 装置内にて GeH_4 をソースに 260°C で成長させ、Ge NW を生成させている。その後 Si_2H_6 をソースに 500°C で CVD 堆積し、Ge/Si NW を作製した(Fig.1)。また、Ge/Si NW の電流特性を評価するため、 SiO_2 (100 nm)/Si 基板上に Ge/Si NW を堆積後、電子線リソグラフィを用いてソース・ドレイン領域を形成し(Fig.2 inset)、バックゲート電極 Cr(20 nm)/Au(180 nm)を取り付けた。ソース・ドレイン電極は Ni (80 nm)/Au(20 nm)を用いた。その後、フォーミングガスアニーリング(FGA)を 350°C で 3 分間行った。また、Ge/Si NW の I_d - V_{ds} 特性を評価した (Fig.2)。

【結果】 Ge/Si NW の作製において、3.3 nm の Core を達成した。これはわれわれが知る限り世界最小径であり、量子閉じ込め効果が期待できる[2]。Ge/Si NW のデバイスはチャネル長 250 nm、Si の厚さは 40 nm 程度である。同条件の Ge/Si NW の I_d - V_{ds} 特性の評価をしたが V_g による変化がほぼ見られていない。発表ではこの点を検討し、トップゲート電極を用いた特性評価を行っていく。

【謝辞】 本研究は、科研費(22246040, 24102703)、矢崎財団、文部科学省イノベーションシステム整備事業、JST-さきがけの助成の基に遂行された。また、Ge/Si NW の TEM 測定は東京工業大学大岡山分析支援センターの協力の下に行われた。

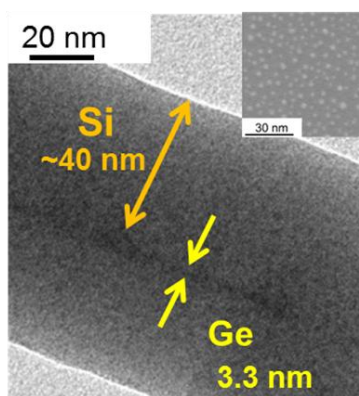


Fig.1 TEM image of Ge/Si NW
[inset] SEM image of Au catalyst

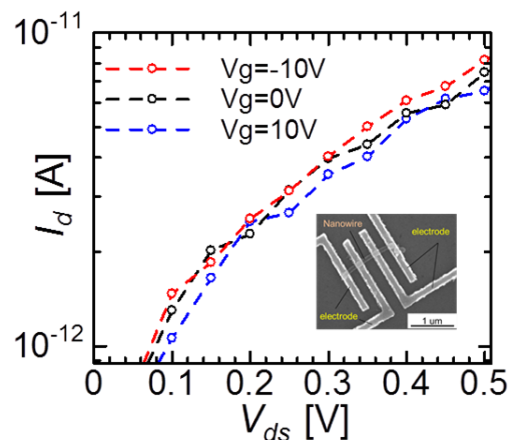


Fig.2 $I_d - V_{ds}$ characteristics
[inset] SEM image of Ge/Si NW device

[1] L. J. Lauhon, M. S. Gudiksen, D. Wang and C. M. Lieber, Nature 420, 57 (2002)

[2] G. Liang *et al.*, Nano Lett., Vol.7, No. 3, 2007