

VHF プラズマにより作製したナノ結晶シリコン中のトラップの評価 Characterization of Carrier Traps in Silicon Nanocrystal Films Prepared by VHF Plasma

東工大量子ナノエレ研セ

○近藤 信啓, 船木 健伍, 中峯 嘉文, 宇佐美 浩一, 小寺 哲夫, 河野 行雄, 小田 俊理

QNERC, Tokyo Tech. °Nobuhiro Kondo, Kengo Funaki, Yoshifumi Nakamine,

Kouichi Usami, Tetsuo Koderu, Yukio Kawano, Shunri Oda

E-mail: kondo.n.aa@m.titech.ac.jp

【背景と目的】近年、半導体デバイスを構成する材料として、非常に興味深い電気的特性を有しており、ボトムアップ的に構造を作製できるシリコンナノ結晶に注目が集まっている。[1] [2] 現在このシリコンナノ結晶に関して様々な研究が行われており、新しい電子デバイスが作製できると期待されている。しかし我々の作製方法ではシリコンナノ結晶膜の電気伝導度が非常に低くなってしまうという問題点が存在することが分かってきた。原因としてシリコンナノ結晶間の粒界や隙間によるトラップが非常に多いということが考えられる。本研究ではそうしたトラップの密度や深さを空間電荷制限電流(SCLC)法によって分析した。

【実験結果】本研究ではシリコン基板上に図1に示す楕型の電極を作製し、その上にシリコンナノ結晶(直径10 nm程度)をランダムに堆積させ、その電気特性、温度特性を測定した。L = 40 nmのデバイスで室温において電気特性を測定した結果は図2のようになった。図2を見ると0.7 V以上の電圧ではSCLCが流れていることが分かる。そこでSCLCの電流密度を表す式

$$J = q l^{-1} \mu N_c \left(\frac{2l+1}{l+1} \right)^{l+1} \left(\frac{l}{l+1} \frac{\epsilon_s \epsilon_0}{N_t} \right)^l \frac{V^{l+1}}{d^{2l+1}}$$

を用いてトラップの深さや密度について解析した[3]。

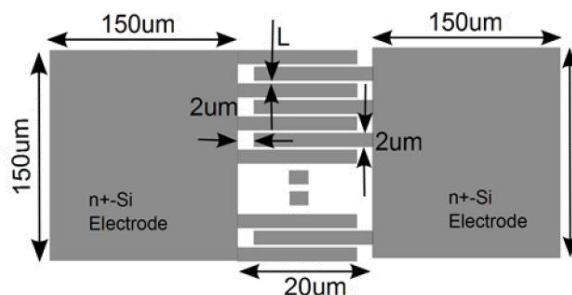


図1 楕形電極の概略図

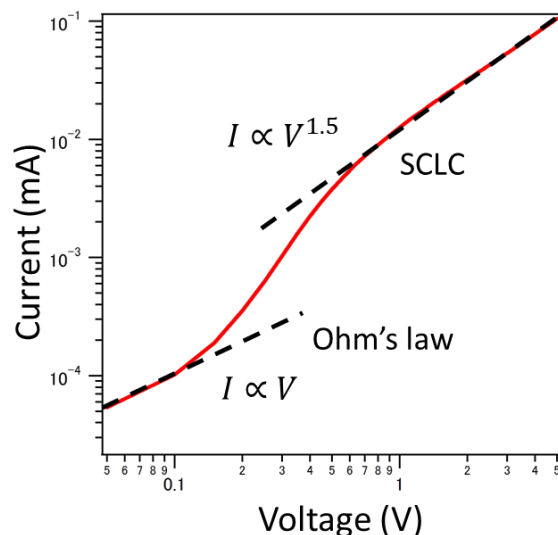


図2 シリコンナノ結晶の電気特性
(両対数グラフ)

- 1) A. Dutta, S. Oda, Y. Fu and M. Willander: *Jpn. J. Appl. Phys.* **39** (2000) 4647
- 2) L. Pavesi, L. Dal Negro, C. Mazzoleni, G. Franzo and F. Priolo: *Nature* **408** (2000) 440.
- 3) V. Kumar, S. C. Jain, A. K. Kapoor, J. Poortmans, R. Mertens: *J. Appl. Phys.* **94** (2003) 2