

Si/CaF₂/CdF₂ 共鳴トンネル 量子井戸構造のパルス応答特性

Pulsed operation of resistance switching memory of
Si/CaF₂/CdF₂ resonant-tunneling quantum-well structures
東工大院総理工 ○傳田純也、須田慶太、桑田友哉、渡辺正裕

Tokyo Institute of Technology ○J. Denda, K. Suda, Y. Kuwata and M. Watanabe

E-mail: denda.j.aa@m.titech.ac.jp

【はじめに】CdF₂/CaF₂ヘテロ構造は界面における伝導帯バンド不連続が 2.9eV と大きく、シリコン基板上にエピタキシャル成長可能なため、室温においても ON/OFF 比の大きな共鳴トンネル系集積デバイスの構成材料として有望である[1,2]。これまでに我々は、CaF₂/CdF₂/CaF₂ 二重障壁共鳴トンネル構造の両側に Si 層を配した構造を用いて、CdF₂ 量子井戸への電荷注入と Si 障壁層による電荷保持を基本原理とする抵抗スイッチングメモリ素子を提案してきた。本素子は、CdF₂ 量子井戸をフローティングゲートとして用いたコンダクタンス制御型の抵抗変化二端子素子として動作し、クロスポイント型の集積構造により究極的な微細化(〜4F²)と高速動作を両立する可能性を有する。

前回までに、基本的なメモリサイクル動作の実証と、素子の低電圧動作化(<1V)、及び保持特性について報告した[3,4]。今回、抵抗スイッチング素子のパルス応答特性評価を行なったので報告する。

【実験方法】p-Si(111) 0.1° off 基板($\rho < 4 \text{ m}\Omega \cdot \text{cm}$)を SC-1, SC-2 洗浄後、厚さ 80nm の熱酸化膜を形成し、ウェットエッチングにより $2.3 \mu\text{m}\phi$ の窓を形成した後、保護酸化膜を形成、分子線エピタキシー(MBE)装置内に搬入する。超高真空中において、表面の保護酸化膜を除去後、引き続き、CaF₂(0.93nm)/CdF₂(2.48nm)/CaF₂(0.93nm)/n-Si(1nm)の各層を結晶成長した。Al/Au 電極をリフトオフにより形成し素子完成となる。

【結果と考察】作製した素子の室温における I-V 特性を Fig.1 に示す。印加電圧は、下部電極側の電位を正にとっている。低抵抗状態(L.R.S)にある素子を電圧印加により高抵抗状態(H.R.S)に変化させた後、負方向に電圧を掃引し低抵抗状態に戻す。このサイクル動作を 2 回繰り返した際の I-V 特性を Fig.1(a)に示す。ピーク電圧(V_{peak})は 0.82V、ON/OFF 比(@ V_{peak})は 2 前後であった。続いて素子に対して、半導体パラメータアナライザ(Agilent B1500A)を用いて、パルスを生成し、素子に印加した。印加したパルスは幅 2ms, set 電圧が 1.5V、reset 電圧が -1.5V とし、set/reset パルス間に抵抗状態を読み取る read 電圧として、0.4V を印加した。その結果を Fig.1(b)に示す。測定の際に read パルスを入れることによる抵抗変化は生じていないことが確認できる。また、1.5V 以下の低電圧 set/reset メモリサイクル動作がパルス対地上がり時間の 0.5msec 以下で行われることが確認された。読み出しパルスを含めた一連のメモリサイクルを 4500 回繰り返した際の読み出し電流(低抵抗状態における電流を $I_{\text{L.R.S}}$ 、高抵抗時の電流を $I_{\text{H.R.S}}$)を

Fig.2 にプロットした。全測定サイクルを通して、 $I_{\text{L.R.S}}$ と $I_{\text{H.R.S}}$ はそれぞれの分布幅に比べて十分な分離が得られていることが確認された。

【参考文献】[1] T. Kanazawa, et al., Appl. Phys. Lett., 90 [9], 092101-1, 2007. [2] 和田他, 2008 年度春季第 55 回応用物理学会 30p-E-2 [3] 瓜生他, 2011 年度秋季第 72 回応用物理学会 [4] J. Denda, et al., Jpn. J. Appl. Phys. 52(2013)04CJ07

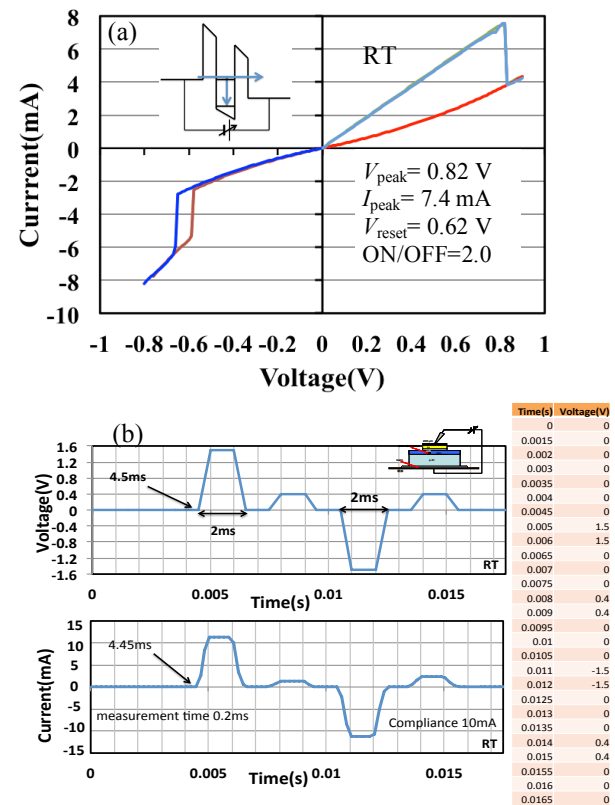


Fig.1 (a) 素子の I-V 特性 (b) 入力パルスと出力電流波形

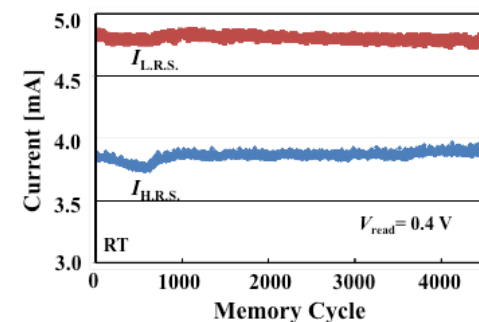


Fig.2 4500 回繰り返しパルス印加に対する読み出し電流