

高温熱処理を挟む 2 段階 ALD プロセスによる $\text{Al}_2\text{O}_3/\text{InAlN}$ 界面特性の向上

Improvement of $\text{Al}_2\text{O}_3/\text{InAlN}$ interface properties through two-step ALD process interrupted by high-temperature annealing

北大量集センター, 情報科学研究科 ○中野 拓真, 千葉 勝仁, 赤澤 正道

RCIQE and Graduate School of Information Science and Technology, Hokkaido Univ.

○Takuma Nakano, Masahito Chiba, Masamichi Akazawa

E-mail: tnakano@rciqe.hokudai.ac.jp

【はじめに】格子整合系 InAlN/GaN ヘテロ界面は、高い電子障壁を有し、大きな自発分極差により高密度の 2 次元電子ガスを発生させることができる。最近では MOS ゲートを用いた MOSHEMT により 400 GHz の遮断周波数が達成されている[1]が、絶縁膜/ InAlN 界面の特性については未解明な部分が多く、制御方法も確立されていない。一般に高温熱処理は、界面特性向上の 1 手段であるが、優れた絶縁膜として広く用いられている ALD- Al_2O_3 は高温で熱処理をすると晶質化による粒界発生により MOS 構造の特性を劣化させることが指摘されている[2, 3]。そこで、絶縁膜堆積途中に高温熱処理を行う 2 段階 ALD プロセスにより、界面付近のみアニールを行った MOS 構造を作製し評価した結果について報告する。

【実験方法】図 1 は試料作製プロセスの模式図である。オーミックコンタクト形成後、適切な処理を施し ALD により 2 nm の極薄 Al_2O_3 層を堆積し、 N_2 雰囲気中 850°C 1 分間アニールを行った。その上に再び ALD により 16 nm の Al_2O_3 層を堆積し Ni/Au 電極を蒸着した。比較のためオーミックアニール後、ALD により 18 nm の Al_2O_3 層を一度に堆積し、 Ni/Au 電極蒸着前にアニールを行った試料と行っていない試料の 2 つを作製した。

【実験結果】XPS により、アニール温度 950°C に対しても界面構造の乱れが引き起こされた兆候は見られないことを確認した。しかし、ヘテロ界面への影響は調べていないので、アニール温度としてはオーミックアニール温度である 850°C に設定した。各試料の 1 MHz での C-V 特性を図 2 に、界面準位密度分布の評価結果を図 3 に示す。一度に Al_2O_3 を堆積した試料はアニールにより C-V 特性が劣化し、界面準位密度が増加した。これまでの報告[2, 3]を参考にすると、 Al_2O_3 バルク中に結晶粒界が発生することにより、特性が劣化した可能性が大きい。そこで界面付近のみアニールする 2 段階 ALD プロセスを試みた。その結果、C-V 特性が大きく改善され、界面準位密度も大幅に低減されることを確認した。

[1] Y. Yue et al., presented at IWN 2012 (Sapporo, Oct. 14-19, 2012).

[2] Y. Q. Wu, T. Shen, P. D. Ye, G. D. Wilk, Appl. Phys. Lett. **90**, 143504 (2007).

[3] Y. Hori, C. Mizue, and T. Hashizume, Jpn. J. Appl. Phys. **49**, 080201 (2010)

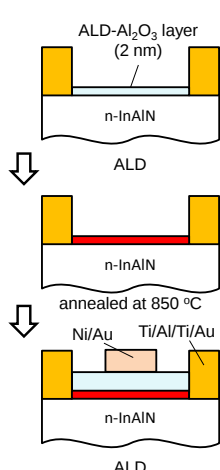


Fig 1 Fabrication process.

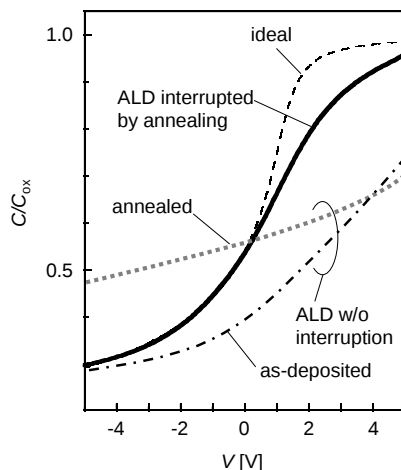


Fig 2 C-V curves.

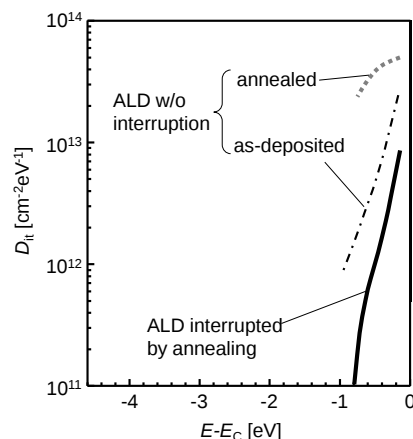


Fig 3 D_{it} distribution evaluated from C-V curves.