

P を導入した NiSi<sub>2</sub> 電極を用いた *n*-Ge 基板の電流電圧特性の熱処理依存性

## Annealing Temperature Dependence of Electrical Characterization

of P-doped NiSi<sub>2</sub> Electrodes on *n*-Ge Substrates

東工大フロンティア研<sup>1</sup>, 東工大総理工<sup>2</sup>, °元木雅章<sup>1</sup>, 吉原亮<sup>1</sup>, 角嶋邦之<sup>2</sup>,  
片岡好則<sup>2</sup>, 西山彰<sup>2</sup>, 杉井信之<sup>2</sup>, 若林整<sup>2</sup>, 筒井一生<sup>2</sup>, 名取研二<sup>1</sup>, 岩井洋<sup>1</sup>

Tokyo Tech. FRC<sup>1</sup>, Tokyo Tech. IGSSE<sup>2</sup>, °M. Motoki<sup>1</sup>, R. Yoshihara<sup>1</sup>, K. Kakushima<sup>2</sup>,

Y. Kataoka<sup>2</sup>, A. Nishiyama<sup>2</sup>, N. Sugii<sup>2</sup>, H. Wakabayashi<sup>2</sup>, K. Tsutsui<sup>2</sup>, K. Natori<sup>1</sup>, H. Iwai<sup>1</sup>

E-mail: motoki.m.aa@m.titech.ac.jp

【はじめに】Ge は Si と比較して十分に高い電子・正孔の移動度を持ち、新しい半導体材料として期待されている[1]。一方で微細化の観点で、界面の急峻性や低抵抗から Metal Schottky S/D が期待されている。しかし、Ge はフェルミレベルが価電子帯付近にピンニングされ *p*-FET としては問題ないが、*n*-FET として使用するときは高いショットキー障壁が問題となる[2]。これまで P をドーピングした NiSi<sub>2</sub> 電極でのオーミック特性を調べてきた。本研究では、*n*-Ge 基板界面に P を導入し、熱処理温度を変えたときの電気特性を測定し、接触抵抗を算出し温度依存性を評価した。

【実験方法】HF 処理をした *n*-Ge(100)基板( $N_d=4 \times 10^{16} \text{ cm}^{-3}$ )上に、スパッタ法を用いて金属を堆積した。具体的には Ni<sub>3</sub>P(0.68nm)/Si(1.90nm)の順で堆積、その上で Ni(0.50 nm)/Si(1.90 nm)の順で 7 回堆積したものである。裏面電極として Al を蒸着し、N<sub>2</sub> 雰囲気中で 200~800 °C、1 分間の熱処理を行い、接触抵抗評価のために Circular TLM 法を用いて電気特性を測定した。

【実験結果】Fig.1 に CTLM で測定した IV 特性を示す。Fig.2 にアニール温度と接触抵抗の関係を示す。Fig.1 では、300°C から 600°C までは安定したオーミック特性が見られる。200°C では P の活性化が不十分と考えられ、700°C 以上では XPS から NiGe が形成されていることがわかっており、それが原因と考えられる。Fig.2 では、300°C から 600°C において安定した接触抵抗が見られた。

## 【参考文献】

[1] Zhi-Wei Zheng, et al., Appl. Phys. Lett. 101, 223501 (2012)

[2] K. Gallacher, et al., Appl. Phys. Lett. 100, 022113 (2012)

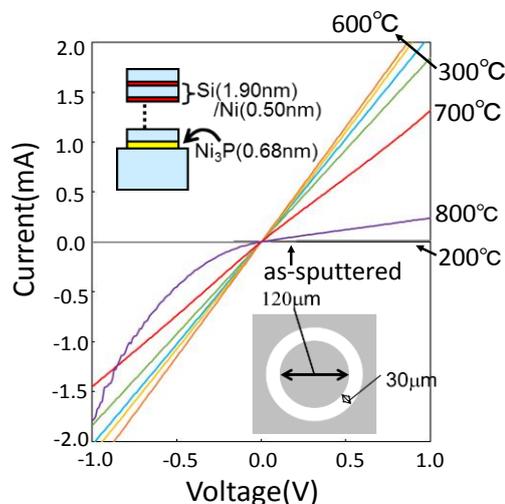


Fig.1 Current-voltage characteristics of CTLM pattern

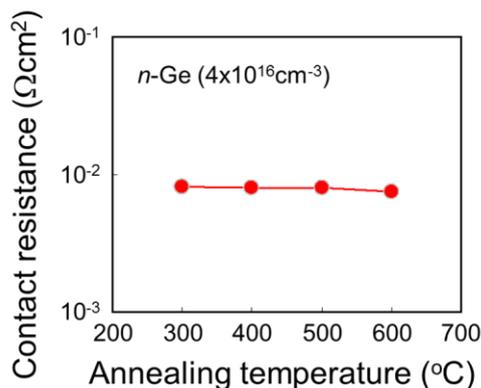


Fig.2 Extracted contact resistance on annealing temperature