

自立 GaN 基板上の自己整合型イオン注入ノーマリーオフ型 MISFET Self-aligned Ion-implanted Normally-off MISFETs on Free-Standing GaN Substrates

法政大理工¹, 日立中研², 日立電線³

○小川 弘貴¹, 葛西 駿¹, 金田 直樹³, 土屋 朋信², 三島 友義³, 中村 徹¹

Hosei Univ.¹, Hitachi Ltd.², Hitachi Cable Ltd.³

○H. Ogawa¹, K. Kasai², N. Kaneda³, T. Tsuchiya², T. Mishima³, T. Nakamura¹

E-mail: hiroki.ogawa.2x@stu.hosei.ac.jp

【はじめに】: GaN は高い絶縁破壊強度や飽和電子速度など優れた物性値を持っており、高耐圧デバイスおよび高速動作デバイスへの応用が期待されている。前回、サファイア基板上 p-GaN ウェハに作製したノーマリーオフ型 Mo ゲート GaN MISFET について報告したが、ドレイン電流が低かった。今回 C ドープ高抵抗バッファ層を有した自立 GaN 基板上 p-GaN ウェハを用いることで、ノーマリーオフ動作でありながら 72mA/mm の高い最大ドレイン電流を達成したので報告する。

【実験】: デバイスの断面構造を図 1 に示す。自立 GaN 基板の上に成長させた高抵抗 C ドープ GaN 上に Mg 濃度 $1 \times 10^{18}/\text{cm}^3$ 、膜厚 200nm の p-GaN を成長させたウェハを使用し、Mo を 200nm 堆積させ、それをイオン注入マスクとして、ソース・ドレインの電極直下に Si を $1 \times 10^{15}/\text{cm}^2$ イオン注入した。その後、活性化熱処理を 1100°C で 2 分間行い、素子分離のために窒素を $1 \times 10^{15}/\text{cm}^2$ イオン注入した。最後にソース及びドレイン電極を形成し、合金化熱処理を 550°C で 1 分間行った。

【結果】: 図 2 はゲート長 2 μm 、ゲート幅 50 μm のデバイスにおける I_d - V_d 特性である。今回、GaN 自立基板を用いたことにより、ドレイン電流は 72mA/mm というサファイア基板上的同様の素子に比べ約 4 倍高い値が得られた。また、自己整合プロセスで閾値電圧は +0.4V が得られノーマリーオフ型となった。高抵抗な C ドープ GaN と N イオン注入により、デバイス間リーク電流は 10^{-10}A 以下の低い値が得られた。

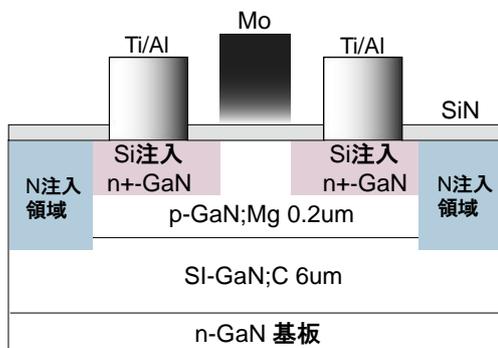


図 1 デバイスの断面構造

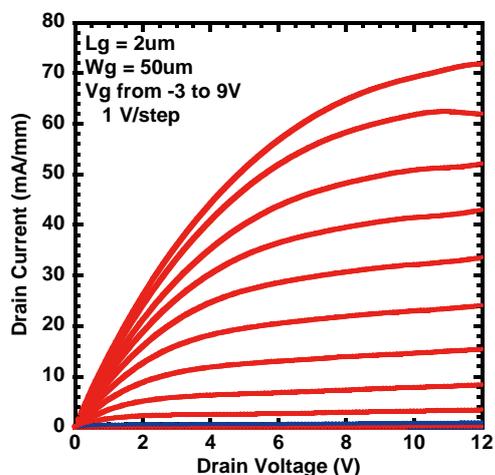


図 2 ドレイン電流-ドレイン電圧特性

[1] 小川他 2013 年 応用物理学会春季学術講演会 28p-G11-5