

大規模・大領域高速デバイスシミュレーション

Large-scale, Large-area and High-speed Device Simulation

半導体理工学研究センター¹, 産業技術総合研究所² ○石川 清志¹, 松澤 一也¹,大倉 康幸¹, 越本 浩央², 池上 努², 福田 浩一²STARC¹, AIST² ○Kiyoshi Ishikawa¹, Kazuya Matsuzawa¹, Yasuyuki Ohkura¹,Hiroo Koshimoto², Tsutomu Ikegami², Koichi Fukuda²

E-mail:ishikawa.kiyoshi@starc.or.jp

日本の半導体メーカーは近年 More than Moore の方向として、フラッシュ、イメージセンサ、パワーデバイス等の開発に注力し始めている。この分野ではアナログ動作が重要となるため、デバイスシミュレーションにおいてもお互いの相互作用を高精度に考慮するため大規模・大領域のデバイスシミュレーションが重要となる。

大規模・大領域の高速計算対応として STARC デバイスシミュレータをメモリー分散システム上で MPI(Message Passing Interface)並列化を行った。図 1 に直接法を用いたマルチコア EWS における OpenMP 並列版とその改良版及びスーパーコンピュータ京上 MPI 版での計算速度評価結果を示す。OpenMP からライブラリ等の最適化のみでは、EWS 上で約 3 倍の高速化に留まっている。更に、MPI による行列分割を行うことにより約 1.7 倍の高速化を達成し 32 コアでシングルコア比約 15 倍を達成している。更に、スーパーコンピュータ京へ移植することにより 128 コアで約 33 倍の高速化を確認している。現状はメモリー分散が不完全であるため、大規模計算に限度があるが、この手法によりこれまで計算できなかった大規模・大領域のデバイス一括解析を用いて、耐圧等を決める新しいメカニズムの解析が可能となる。

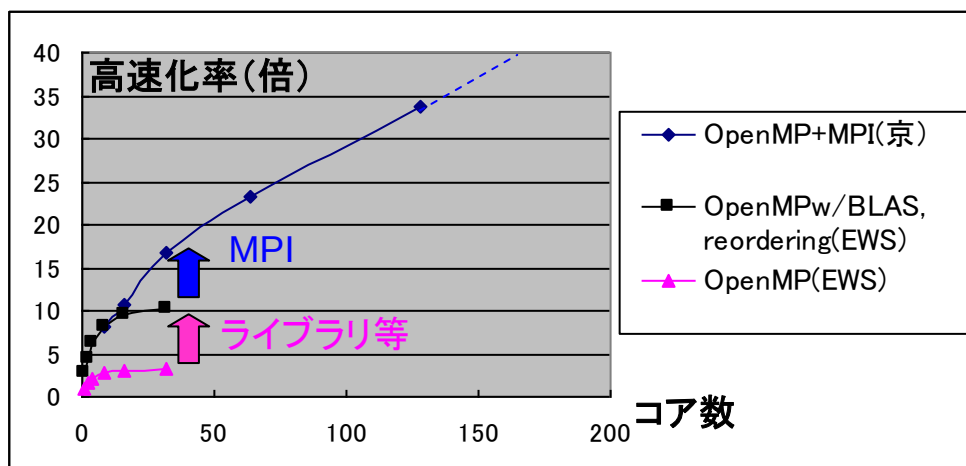


図 1 高速化率比較

『本発表 (の一部) は半導体理工学研究センターと理化学研究所計算科学研究機構との共同研究及び、半導体理工学研究センターと産業技術総合研究所との共同研究で実施した成果に基づくものです』