

## Si 系熱電材料におけるエピタキシャルナノドット散乱体の形成と その熱伝導率評価

Fabrication of epitaxial Ge nanodot scatterers in Si-based thermoelectric material  
and their thermal conductivity measurements

阪大院基礎工<sup>1</sup>, さきがけ-JST<sup>2</sup>

○山阪司祐人<sup>1</sup>, 中村芳明<sup>1,2</sup>, 上田智広<sup>1</sup>, 竹内正太郎<sup>1</sup>, 酒井朗<sup>1</sup>

Osaka University<sup>1</sup>, PRESTO-JST<sup>2</sup>

○Shuto Yamasaka<sup>1</sup>, Yoshiaki Nakamura<sup>1,2</sup>, Tomohiro Ueda<sup>1</sup>,  
Shotaro Takeuchi<sup>1</sup>, and Akira Sakai<sup>1</sup>

E-mail: [nakamura@ee.es.osaka-u.ac.jp](mailto:nakamura@ee.es.osaka-u.ac.jp)

**【目的】** これまで SiGe・Si 系熱電材料において、ナノ粒子化による界面密度増加に伴い、熱伝導率が低減すること<sup>[1]</sup>が報告されているが、同時にキャリア移動度が低下し、高性能化を目指す上で問題となっている。そこで、我々は、Si 中に数 nm 程度の球形のエピタキシャル Ge ナノドットをフォノン散乱体として導入した Si 系熱電材料に注目した。そこでは、その結晶配向性から電気伝導率の低下を防ぎながら熱伝導率の大幅な低減が期待できる。本研究では、数 nm サイズの Ge ナノドット/Si 構造の積層技術を開発し、その熱伝導率の低減を観測したので報告する。

**【実験】** Si(001)基板を超高真空内( $\sim 10^{-8}$  Pa)に導入し、清浄表面を得た後に熱酸化を行い、極薄 Si 酸化膜を形成した (500°C、酸素分圧  $2 \times 10^{-4}$  Pa)<sup>[2]</sup>。その後 500°C で Ge 蒸着を行い、Ge ナノドットをエピタキシャル成長した後、400°C で Si を蒸着した。上記、極薄 Si 酸化膜、Ge ナノドット、Si 中間層の形成プロセスを 8 回繰り返すことで、エピタキシャル Ge ナノドットを含む Si 薄膜を作製した。また熱伝導率測定には  $2\omega$  法を用いた。

**【結果】** 図 1(a)は直径 5nm 程度の Ge ナノドットを導入した Si 薄膜中の断面高分解能透過電子顕微鏡 (HRTEM) 像である。コントラストから極薄 Si 酸化膜が確認され、球形の Ge ナノドット/Si 構造が積層していることがわかる。また、反射高速電子回折 (RHEED) 図形より、ナノドットのエピタキシャル成長が認められた (図 1(b))。この試料の熱伝導率は  $\sim 1$  W/mK 程度となった。(ナノドットを含まない) Si と比べ 1/150 倍程度、使用した Si/Ge 比と同等の SiGe バルク混晶と比べ 1/5 倍程度の熱伝導率の低減に成功した。

**【謝辞】** 本研究は、さきがけ-JST の支援により行われた。

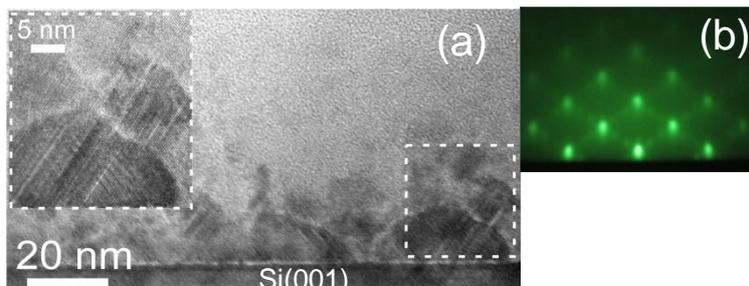


図 1 Ge ナノドットを導入した Si 薄膜の HRTEM 像(a)と RHEED 図形 (b)。(a)の挿入図は点線領域の拡大図

[1]上田智広、他、第 73 回応用物理学会学術講演会 13p-C8-17. [2] Y. Nakamura, et al., Appl. Phys. Letts. **87** 133119 (2005).