

微細 MOSFET の将来動向 Future Prospective on Scaled MOSFETs

東大院工 高木 信一、竹中 充

The University of Tokyo Shinichi Takagi and Mitsuru Takenaka

E-mail: takagi@ee.u-tokyo.ac.jp

論理 LSI の高集積化と高性能化を牽引している Si CMOS デバイス技術は、21 世紀に入り、MOSFET 動作の物理的限界やチャネルである Si の材料的な限界により、微細化と性能向上の両面で困難度が高まっており、現在、大きな転機を迎えている。22nm ノードにおいて、Intel が FinFET を導入したことから、今後は、FinFET、TriGate、Nano-wire などの立体ゲート構造素子及び極薄チャネル/極薄 BOX などの極薄ボディ MOSFET がデバイスの主流となっていく(図 1)、これに Ge/III-V などの高移動度半導体チャネルが組み合わされていく(図 2)ものと考えられる。一方で、将来の CMOS 構造のチャネル材料としては、まだ多用な組み合わせの可能性(図 3)があり、引き続き詳細な検討が必要である。また新チャネル材料として、今後、極限的な微細化が期待できる 2D 材料 (MoS_2 , WS_2 etc.) への期待も高まると予想される。加えて、極低電圧動作の観点から、トンネル FET(図 4)への関心も、一層高まると考えられる。

これらの多用な材料系とデバイス構造の研究開発を、効率的かつ短期に進めるためには、高精度のシミュレーション技術の活用が不可欠である。デバイスシミュレーションを取ってみても、例えば、(1) Ge/III-V/2D 材料等の Si 以外の材料系や多様なヘテロ構造界面を含むチャネルでの高精度のデバイスモデリングとシミュレーションによる性能予測 (2) 多用な材料系と欠陥・界面準位などの効果も含めたトンネル FET の高精度の性能予測と最適構造探索 などの要求は極めて高いと言える。

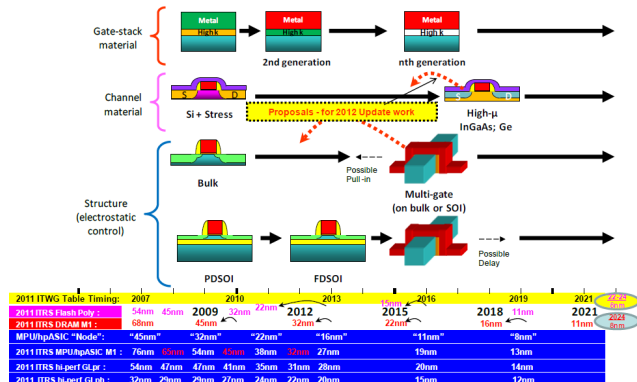


Fig. 1 Direction of CMOS technology by ITRS Roadmap

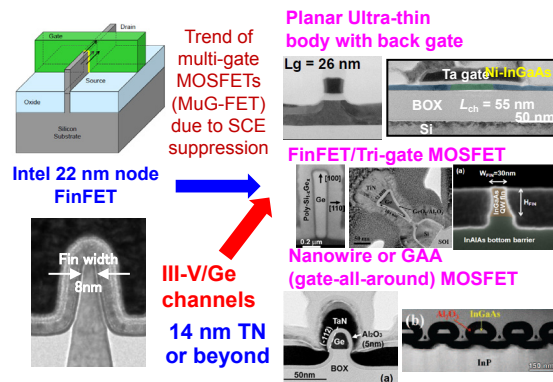


Fig. 2 Fusion of multi-gate structure and II-V/Ge

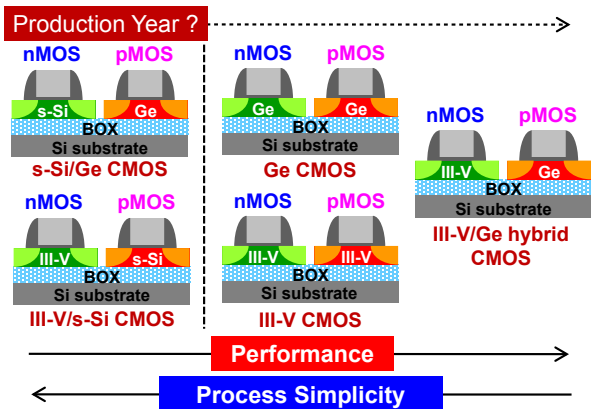


Fig. 3 Possible CMOS structures using Ge/III-V channels

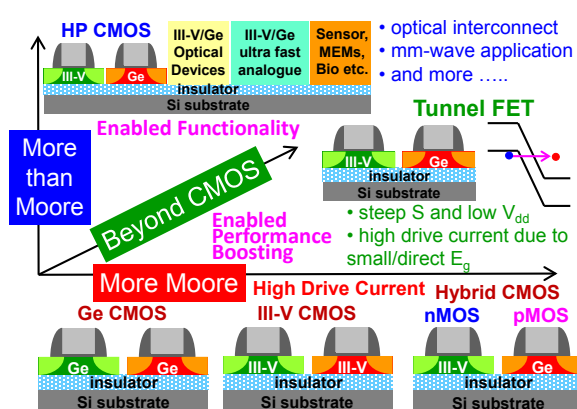


Fig. 4 Future evaluation of III-V/Ge CMOS technology